

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11086546 A

(43) Date of publication of application: 30.03.99

(51) Int. Cl

G11C 11/407

G11C 11/41

H01L 21/60

H01L 25/00

H01L 27/10

(21) Application number: 09244285

(22) Date of filing: 09.09.97

(71) Applicant: FUJITSU LTD

(72) Inventor: TAKEMAE YOSHIHIRO
TAGUCHI MASAO
NAKANO MASAO
SUZUKI TAKAAKI
TOMITA HIROYOSHI
UCHIDA TOSHIYA
SATO YASUHARU
HATAKEYAMA ATSUSHI
MATSUMIYA MASATO
MATSUZAKI YASURO

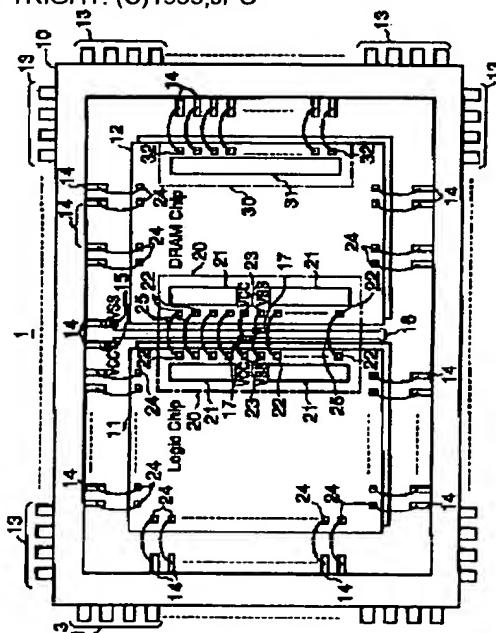
(54) SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To easily connect a logic chip to a memory chip and to eliminate skewness among signals by providing all input/output terminals between the logic chip and the memory chip on opposite sides when they are packaged in a package.

SOLUTION: Connection terminals 14 are electrically connected to connection terminals 24 of a logic chip 11 and a memory chip 12 or external storage terminals 32 of a memory chip 12 by wire bondings. I/O terminals 22 are electrically connected by wire bondings 25 so that opposing terminals are made opposed to each other between the chips 11 and 12. The terminals 22 are connected between the chips 11 and 12 so that the wiring lengths are made equal so that no timing deviation is generated among data and the wiring lengths between the terminals 22 are made in a shortest manner. Note that high speed I/O circuits 21 are made of CMOS circuits so as to realize a high speed data transfer between the chips 11 and 12.

COPYRIGHT: (C)1999,JPO



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-86546

(43)公開日 平成11年(1999)3月30日

(51) Int.Cl. [®]	識別記号	F I
G 11 C 11/407		G 11 C 11/34 3 6 2 S
11/41		H 01 L 21/60 3 0 1 M
H 01 L 21/60	3 0 1	25/00 A
25/00		27/10 4 9 5
27/10	4 9 5	G 11 C 11/34 3 4 5
審査請求 未請求 請求項の数45 O L (全 28 頁) 最終頁に続く		

(21)出願番号 特願平9-244285

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 竹前 義博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 田口 真男

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

最終頁に続く

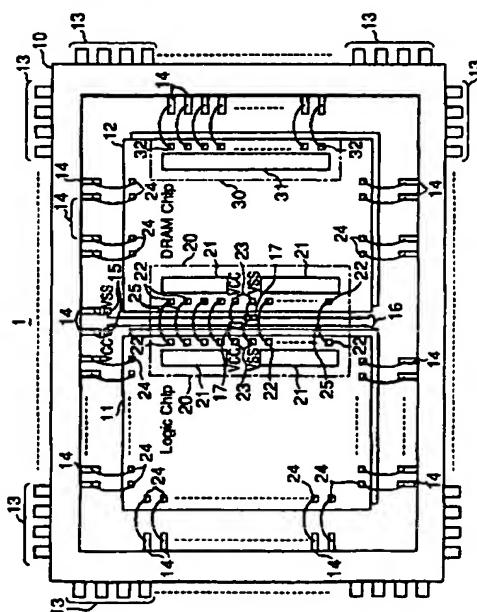
(54)【発明の名称】 半導体装置及び半導体システム

(57)【要約】

【課題】本発明は、低いコストでワンチップLSIと同等のデータ転送速度を達成する半導体システムを提供することを目的とする。

【解決手段】半導体システムは、少なくとも一つのロジックチップと、一辺が少なくとも一つのロジックチップの一辺と対向するように配置される少なくとも一つのメモリチップと、隣接するメモリチップとデータ転送をするために少なくとも一つのロジックチップに設けられる第1の入出力端子と、隣接するロジックチップとデータ転送するために少なくとも一つのメモリチップに設けられる第2の入出力端子と、少なくとも一つのロジックチップと少なくとも一つのメモリチップを内部に格納するパッケージを含み、第1の入出力端子は少なくとも一つのロジックチップの上記一辺に設けられ、第2の入出力端子は少なくとも一つのメモリチップの上記一辺に設けられることを特徴とする。

本発明により同一のパッケージにロジックチップとメモリチップとを格載した実施例示す図



【特許請求の範囲】

【請求項1】少なくとも一つのロジックチップと、
一边が該少なくとも一つのロジックチップの一辺と対向
するように配置される少なくとも一つのメモリチップ
と、
隣接するメモリチップとデータ転送をするために該少
なくとも一つのロジックチップに設けられる第1の入出力
端子と、
隣接するロジックチップとデータ転送をするために該少
なくとも一つのメモリチップに設けられる第2の入出力
端子と、
該少なくとも一つのロジックチップと該少なくとも一つ
のメモリチップを内部に格納するパッケージを含み、該
第1の入出力端子は該少なくとも一つのロジックチップ
の該一辺に設けられ、該第2の入出力端子は該少なくとも
一つのメモリチップの該一辺に設けられることを特徴
とする半導体システム。
【請求項2】前記第1の入出力端子と前記第2の入出力
端子とは、隣接するロジックチップとメモリチップとの
間で、対向した位置に配置されることを特徴とする請求
項1記載の半導体システム。

【請求項3】前記第1の入出力端子と前記第2の入出力
端子とを前記隣接するロジックチップとメモリチップと
の間で接続する接続配線を更に含み、該接続配線は該隣
接するロジックチップとメモリチップとの間で同一長
であることを特徴とする請求項2記載の半導体システム。

【請求項4】前記接続配線は、前記第1の入出力端子と
前記第2の入出力端子との間を最短距離で接続すること
を特徴とする請求項3記載の半導体システム。

【請求項5】前記第1の入出力端子と前記第2の入出力
端子とを、前記隣接するロジックチップとメモリチップ
との間で接続する接続配線を更に含み、該接続配線はワ
イヤボンディングを含むことを特徴とする請求項2記載
の半導体システム。

【請求項6】隣接するメモリチップとデータ転送をする
ために該少なくとも一つのロジックチップに設けられる
第1の入出力回路部と、

隣接するロジックチップとデータ転送をするために該少
なくとも一つのメモリチップに設けられる第2の入出力
回路部と、

該第1の入出力回路部と該第2の入出力回路部とに共通
の電源電圧を供給する電源配線を更に含むことを特徴と
する請求項1記載の半導体システム。

【請求項7】前記少なくとも一つのロジックチップの前
記一辺に設けられ前記電源配線から電源電圧を受け取る
電源端子と、

前記少なくとも一つのメモリチップの前記一辺に設けら
れ前記電源配線から電源電圧を受け取る電源端子と、を
更に含み、前記電源配線は隣接するロジックチップとメ
モリチップとの間に配置されることを特徴とする請求項

6記載の半導体システム。

【請求項8】前記少なくとも一つのロジックチップ及び
前記少なくとも一つのメモリチップの一方に設けられ前
記電源電圧を降圧して降圧電圧を生成する降圧回路と、
該降圧電圧を該少なくとも一つのロジックチップ及び該
少なくとも一つのメモリチップの該一方から他方へ供給
する降圧配線を更に含むことを特徴とする請求項6記載
の半導体システム。

【請求項9】前記電源配線は、前記第1の入出力回路部
10と前記第2の入出力回路部とに対して、専用の電源電圧
を供給することを特徴とする請求項6記載の半導体シス
テム。

【請求項10】隣接するメモリチップとデータ転送をす
るために該少なくとも一つのロジックチップに設けられ
る第1の入出力回路部と、
隣接するロジックチップとデータ転送をするために該少
なくとも一つのメモリチップに設けられる第2の入出力
回路部と、を更に含み、該第1の入出力回路部と該第2
の入出力回路部は、CMOS型の回路である信号出力部
20と信号入力部とを含み、出力信号の振幅は、該信号出力
部に供給される電源電圧に略等しいことを特徴とする請
求項1記載の半導体システム。

【請求項11】前記少なくとも一つのメモリチップと前
記パッケージ外部に設けられた別の記憶装置との間でデ
ータ転送を行うために該少なくとも一つのメモリチップ
に設けられる第3の入出力端子を更に含み、該第3の入
出力端子は該少なくとも一つのメモリチップの前記一
辺とは別の辺に設けられることを特徴とする請求項1記
載の半導体システム。

【請求項12】前記少なくとも一つのメモリチップは、
前記少なくとも一つのロジックチップからランダムア
クセス可能な第1の記憶部と、
前記第3の入出力端子から供給されたデータを一時的に
蓄えた後に該第1の記憶部に転送する第2の記憶部を含
むことを特徴とする請求項11記載の半導体システム。

【請求項13】前記少なくとも一つのメモリチップは、
前記少なくとも一つのロジックチップからランダムア
クセス可能な第1の記憶部と、
前記第1の記憶部から供給されたデータを一時的に蓄え
た後に該第3の入出力端子に送出する第2の記憶部を含
むことを特徴とする請求項11記載の半導体システム。

【請求項14】チップの一辺に配置されたクロック受信
用端子と、
該一辺に配置された複数の入出力端子と、

該クロック受信用端子で受信された受信クロック信号に
基づいて入出力制御用クロック信号を生成する制御用ク
ロック発生回路と、

該入出力制御用クロック信号に同期して該入出力端子を
介して外部へのデータ出力及び外部からのデータ取り込
みを行う複数の入出力回路と、

該制御用クロック発生回路と該複数の入出力回路の各々とを接続する同一長の複数の接続配線を含むことを特徴とする半導体装置。

【請求項15】前記制御用クロック発生回路は、データ出力用クロック信号を前記入出力制御用クロック信号として生成する第1のクロック発生回路を含むことを特徴とする請求項14記載の半導体装置。

【請求項16】前記第1のクロック発生回路は、前記複数の接続配線の第1の遅延分と前記複数の入出力回路の第2の遅延分との合計遅延分だけ前記受信クロック信号から位相がずれた信号を前記データ出力用クロック信号として出力することを特徴とする請求項15記載の半導体装置。

【請求項17】前記第1のクロック発生回路は、前記受信クロック信号の位相を調整して遅延信号を出力する位相調整回路と、

該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、

該第1の信号より前記第2の遅延分だけ位相の遅れた第2の信号を出力する第2の手段を含み、該位相調整手段は該第2の信号と該受信クロック信号とが同位相となるように該遅延信号の位相を調整して該遅延信号を前記データ出力用クロック信号として出力することを特徴とする請求項16記載の半導体装置。

【請求項18】前記制御用クロック発生回路は、データ取り込み用クロック信号を前記入出力制御用クロック信号として生成する第2のクロック発生回路を含むことを特徴とする請求項14記載の半導体装置。

【請求項19】前記第2のクロック発生回路は、前記複数の接続配線の第1の遅延分と第2の遅延分との合計遅延分だけ前記受信クロック信号から位相がずれた信号を前記データ取り込み用クロック信号として出力することを特徴とする請求項18記載の半導体装置。

【請求項20】前記第2のクロック発生回路は、前記受信クロック信号の位相を調整して遅延信号を出力する位相調整回路と、

該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、

該遅延信号を前記第2の遅延分だけ遅延させる第2の手段を含み、該位相調整手段は該第1の信号と該受信クロック信号とが同位相となるように該遅延信号の位相を調整して、該第2の手段は該遅延信号を前記第2の遅延分だけ遅延させて前記データ取り込み用クロック信号として出力することを特徴とする請求項19記載の半導体装置。

【請求項21】前記第2の手段は、前記遅延信号を位相180度分遅延させる位相シフト回路であることを特徴とする請求項20記載の半導体装置。

【請求項22】前記第2の手段は、前記遅延信号を所定の固定遅延量だけ遅延させる固定遅延回路であることを

特徴とする請求項20記載の半導体装置。

【請求項23】前記第2のクロック発生回路は、1/N分周器を更に含み、前記受信クロック信号の周波数の1/Nの周波数で互いに位相が360度/Nずれた複数の分周クロック信号を生成し、前記複数の入出力回路の各々は、N個の入力回路を含み、該N個の入力回路は対応する該分周クロック信号を同期信号として用いることを特徴とする請求項20記載の半導体装置。

【請求項24】前記クロック受信用端子に受信された前記受信クロック信号をそのまま出力する前記一边に配置されたクロッククリターン端子を更に含むことを特徴とする請求項14記載の半導体装置。

【請求項25】外部から受信した受信クロック信号を入力として内部クロック信号を供給する内部クロック発生回路と、

チップの一辺に配置され該内部クロック信号を出力するクロック送信用端子と、
該一辺に配置された複数の入出力端子と、
該内部クロック信号に基づいて入出力制御用クロック信号を生成する制御用クロック発生回路と、

該入出力制御用クロック信号に同期して該入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う複数の入出力回路と、
該制御用クロック発生回路と該複数の入出力回路の各々とを接続する同一長の複数の接続配線を含むことを特徴とする半導体装置。

【請求項26】前記内部クロック発生回路は、前記受信クロック信号の周波数を逓倍して該内部クロック信号を生成することを特徴とする請求項25記載の半導体装置。

【請求項27】前記制御用クロック発生回路は、データ出力用クロック信号を前記入出力制御用クロック信号として生成する第1のクロック発生回路を含むことを特徴とする請求項25記載の半導体装置。

【請求項28】前記第1のクロック発生回路は、前記複数の接続配線の第1の遅延分と前記複数の入出力回路の第2の遅延分との合計遅延分だけ前記内部クロック信号から位相がずれた信号を前記データ出力用クロック信号として出力することを特徴とする請求項27記載の半導体装置。

【請求項29】前記第1のクロック発生回路は、前記内部クロック信号の位相を調整して遅延信号を出力する位相調整回路と、
該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、

該第1の信号より前記第2の遅延分だけ位相の遅れた第2の信号を出力する第2の手段を含み、該位相調整手段は該第2の信号と該内部クロック信号とが同位相となるように該遅延信号の位相を調整して該遅延信号を前記データ出力用クロック信号として出力することを特徴とす

る請求項28記載の半導体装置。

【請求項30】前記制御用クロック発生回路は、データ取り込み用クロック信号を前記入出力制御用クロック信号として生成する第2のクロック発生回路を含むことを特徴とする請求項25記載の半導体装置。

【請求項31】前記第2のクロック発生回路は、前記複数の接続配線の第1の遅延分と第2の遅延分との合計遅延分だけ前記内部クロック信号から位相がずれた信号を前記データ取り込み用クロック信号として出力することを特徴とする請求項30記載の半導体装置。

【請求項32】前記第2のクロック発生回路は、前記内部クロック信号の位相を調整して遅延信号を出力する位相調整回路と、該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、該遅延信号を前記第2の遅延分だけ遅延させる第2の手段を含み、該位相調整手段は該第1の信号と該内部クロック信号とが同位相となるように該遅延信号の位相を調整して、該第2の手段は該遅延信号を該第2の遅延分だけ遅延させて前記データ取り込み用クロック信号として出力することを特徴とする請求項31記載の半導体装置。

【請求項33】前記第2の手段は、前記遅延信号を位相180度分遅延させる位相シフト回路であることを特徴とする請求項32記載の半導体装置。

【請求項34】前記第2の手段は、前記遅延信号を所定の固定遅延量だけ遅延させる固定遅延回路であることを特徴とする請求項32記載の半導体装置。

【請求項35】前記第2のクロック発生回路は、1/N分周器を更に含み、前記内部クロック信号の周波数の1/Nの周波数で互いに位相が360度/Nずれた複数の分周クロック信号を生成し、前記複数の入出力回路の各々は、N個の入力回路を含み、該N個の入力回路は対応する該分周クロック信号を同期信号として用いることを特徴とする請求項32記載の半導体装置。

【請求項36】前記クロック送信用端子から送出される前記内部クロック信号を所定の遅延時間後に受信する前記一辺に設けられたクロックリターン端子を更に含み、前記制御用クロック発生回路は、

該内部クロック信号を用いて前記入出力制御用クロック信号としてデータ出力用クロック信号を生成する第1のクロック発生回路と、

該クロックリターン端子に受信されたクロック信号を用いて該入出力制御用クロック信号としてデータ取り込み用クロック信号を生成する第2のクロック発生手段を含むことを特徴とする請求項25記載の半導体装置。

【請求項37】少なくとも一つの第1の半導体チップと、一辺が該少なくとも一つの第1の半導体チップの一辺と対向するように配置される少なくとも一つの第2の半導体チップと、

該少なくとも一つの第1の半導体チップと該少なくとも一つの第2の半導体チップを内部に格納するパッケージを含み、該少なくとも一つの第1の半導体チップは、外部から受信した受信クロック信号を入力として内部クロック信号を供給する内部クロック発生回路と、該一辺に配置され該内部クロック信号を出力するクロック送信用端子と、

該一辺に配置された第1の複数の入出力端子と、該内部クロック信号に基づいて第1の入出力制御用クロック信号を生成する第1の制御用クロック発生回路と、該第1の入出力制御用クロック信号に同期して該第1の複数の入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う第1の複数の入出力回路と、

該第1の制御用クロック発生回路と該第1の複数の入出力回路の各々とを接続する同一長の複数の接続配線を含み、該少なくとも一つの第2の半導体チップは、該一辺に配置され該内部クロック信号を該少なくとも一つの第1の半導体チップから受け取るクロック受信用端子と、

該一辺に配置され該第1の複数の入出力端子と接続される第2の複数の入出力端子と、

該クロック受信用端子で受信された該内部クロック信号に基づいて第2の入出力制御用クロック信号を生成する第2の制御用クロック発生回路と、

該第2の入出力制御用クロック信号に同期して該第2の複数の入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う第2の複数の入出力回路と、

30 該第2の制御用クロック発生回路と該第2の複数の入出力回路の各々とを接続する同一長の複数の接続配線を含む、該第1の半導体チップ及び該第2の半導体チップの一方はロジックチップであり他方はメモリチップであることを特徴とする半導体システム。

【請求項38】前記少なくとも一つの第2の半導体チップは、前記クロック受信用端子に受信された前記内部クロック信号をそのまま出力する前記一辺に配置された第1のクロックリターン端子を更に含み、前記少なくとも一つの第1の半導体チップは、該第1のクロックリターン端子に接続される前記一辺に設けられた第2のクロックリターン端子を更に含み、前記第1の制御用クロック発生回路は、

該内部クロック発生回路からの該内部クロック信号を用いて前記第1の入出力制御用クロック信号としてデータ出力用クロック信号を生成する第1のクロック発生回路と、

該第2のクロックリターン端子に受信されたクロック信号を用いて該第1の入出力制御用クロック信号としてデータ取り込み用クロック信号を生成する第2のクロック発生手段を含むことを特徴とする請求項37記載の半導

7
体システム。

【請求項39】2のM乗ビット×Nワード×2のL乗バ
ンク構成の半導体メモリチップであって、チップの一辺
に配置された、

クロック受信用端子と、

M個のアドレス信号用端子と、

N個のデータ入出力端子と、

L個のバンク選択信号用端子と、

3個のコマンド選択用端子と、

パワーダウン信号用端子と、

バイト単位に用意したDM信号用端子と、

複数の電源用端子を含むことを特徴とする半導体メモリ
チップ。

【請求項40】前記クロック受信用端子で受信したクロ
ック信号をそのまま送出する該一辺に配置されるクロッ
クリターン端子を更に含むことを特徴とする請求項39
記載の半導体メモリチップ。

【請求項41】PLL回路及びDLL回路の少なくとも
一つを更に含み、前記複数の電源用端子は、該PLL回
路及びDLL回路の少なくとも一つに対する専用の電源
を供給する電源端子を含むことを特徴とする請求項40
記載の半導体メモリチップ。

【請求項42】パッケージと、

該パッケージ内部に格納される複数の半導体チップを含
み、該複数の半導体チップは、
該パッケージ外部と接続される外部接続パッドと、
該複数の半導体チップ間で接続されるチップ間接続パッ
ドと、

静電気放電による破壊防止のために該外部接続パッド毎
に設けられる第1の電流駆動能力を有する第1のESD
保護回路と、

静電気放電による破壊防止のために該チップ間接続パッ
ド毎に設けられる第2の電流駆動能力を有する第2のES
D保護回路を含み、該第2の電流駆動能力は該第1の電
流駆動能力よりも小さいことを特徴とする半導体シス
テム。

【請求項43】前記第1のESD保護回路は第1のMOSFETを含み、前記第2のESD保護回路は第2のM
OSFETを含み、該第2のMOSFETは該第1のM
OSFETよりも狭いゲート幅を有することを特徴とする
請求項42記載の半導体システム。

【請求項44】前記第1のESD保護回路は第1のバイ
ポーラ型トランジスタを含み、前記第2のESD保護回
路は第2のバイポーラ型トランジスタを含み、該第2の
バイポーラ型トランジスタは該第1のバイポーラ型トラ
ンジスタよりも狭いエミッタ面積を有することを特徴と
する請求項42記載の半導体システム。

【請求項45】前記第1のESD保護回路は第1のダイ
オードを含み、前記第2のESD保護回路は第2のダイ
オードを含み、該第2のダイオードは該第1のダイオー

ドよりも狭いエミッタ面積を有することを特徴とする請
求項42記載の半導体システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置及
び半導体システムに関し、詳しくはメモリチップとロジ
ックチップを一つのパッケージに混載したデバイス(M
CP: Multi-Chip Package)に関する。

【0002】

10 【従来の技術】従来ロジックデバイスとメモリデバイス
とを接続する際、一般的には、共通のバスを介して両デ
バイスを接続する。図24(A)は、共通バスを介した
ロジックデバイスとメモリデバイスとの接続の従来例を
示す。図24(A)に示されるように、ロジックデバイ
ス501とメモリデバイス502が、共通のバス503
に接続され、このバス503を介することでロジックデバ
イス501とメモリデバイス502間のデータ転送が行
われる。

20 【0003】データ処理の高速化をはかるためにはロジ
ックデバイスとメモリデバイスとの間のデータ転送速度
を向上させることが必要であるが、そのためには、図2
4に於てバス503の信号線の本数を増やすこと、データ
転送のクロック周波数を上げることが考えられる。バ
スの信号線を増やす方法は、バス信号線の占める面積や
消費電力が増加するという問題があり好ましくない。ま
たデータ転送のクロック周波数を上げる方法は、バス信
号線の信号伝送能力の限界や各デバイスのデータ入出力
スピードの限界が問題となり、これらの限界を越えて周
波数を上げていくことは困難である。

30 【0004】これらの問題に対応する技術として、ロジ
ックデバイスとメモリデバイスとを同一のチップ上に搭
載したワンチップLSIがある。図24(B)は、ロジ
ックデバイスとメモリデバイスとをワンチップ化したワン
チップLSIの例を示す。図24(B)に示されるよ
うに、ワンチップLSI10には、メモリ部511とロ
ジック部512とが搭載される。メモリ部511とロ
ジック部512間はチップ内の配線によって接続されて
いるので、高速なデータ転送を行なうことが出来る。

40 【0005】しかしワンチップLSIを製造するためには、メモリ部511とロジック部512を同一プロセス
で製造するための新プロセス技術の開発が必要となり、
コスト増加を招く。また共通のプロセスで製造されたメ
モリ部511とロジック部512とは、夫々を専用のプロ
セスで製造した場合と比較して、性能が低下してしま
う可能性が高い。

【0006】

【発明が解決しようとする課題】このように共通のバス
でロジックデバイスとメモリデバイスとを接続した場合
には、両デバイス間でのデータ転送速度を上げることが
難しく、またロジック部とメモリ部とを同一のチップ上

に搭載したワンチップLSIでは、コスト増加及び性能低下という問題が生じてしまう。

【0007】従って本発明は、低いコストでワンチップLSIと同等のデータ転送速度を達成する半導体システムを提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1の発明に於ては、半導体システムは、少なくとも一つのロジックチップと、一辺が該少なくとも一つのロジックチップの一辺と対向するように配置される少なくとも一つのメモリチップと、隣接するメモリチップとデータ転送をするために該少なくとも一つのロジックチップに設けられる第1の入出力端子と、隣接するロジックチップとデータ転送をするために該少なくとも一つのメモリチップに設けられる第2の入出力端子と、該少なくとも一つのロジックチップと該少なくとも一つのメモリチップを内部に格納するパッケージを含み、該第1の入出力端子は該少なくとも一つのロジックチップの該一辺に設けられ、該第2の入出力端子は該少なくとも一つのメモリチップの該一辺に設けられることを特徴とする。

【0009】請求項2の発明に於ては、請求項1記載の半導体システムに於て、前記第1の入出力端子と前記第2の入出力端子とは、隣接するロジックチップとメモリチップとの間で、対向した位置に配置されることを特徴とする。請求項3の発明に於ては、請求項2記載の半導体システムに於て、前記第1の入出力端子と前記第2の入出力端子とを前記隣接するロジックチップとメモリチップとの間で接続する接続配線を更に含み、該接続配線は該隣接するロジックチップとメモリチップとの間で同一長であることを特徴とする。

【0010】請求項4の発明に於ては、請求項3記載の半導体システムに於て、前記接続配線は、前記第1の入出力端子と前記第2の入出力端子との間を最短距離で接続することを特徴とする。請求項5の発明に於ては、請求項2記載の半導体システムに於て、前記第1の入出力端子と前記第2の入出力端子とを、前記隣接するロジックチップとメモリチップとの間で接続する接続配線を更に含み、該接続配線はワイヤボンディングを含むことを特徴とする。

【0011】請求項6の発明に於ては、請求項1記載の半導体システムに於て、隣接するメモリチップとデータ転送するために該少なくとも一つのロジックチップに設けられる第1の入出力回路部と、隣接するロジックチップとデータ転送するために該少なくとも一つのメモリチップに設けられる第2の入出力回路部と、該第1の入出力回路部と該第2の入出力回路部とに共通の電源電圧を供給する電源配線を更に含むことを特徴とする。

【0012】請求項7の発明に於ては、請求項6記載の半導体システムに於て、前記少なくとも一つのロジックチップの前記一辺に設けられ前記電源配線から電源電圧

を受け取る電源端子と、前記少なくとも一つのメモリチップの前記一辺に設けられ前記電源配線から電源電圧を受け取る電源端子を更に含み、前記電源配線は隣接するロジックチップとメモリチップとの間に配置されることを特徴とする。

【0013】請求項8の発明に於ては、請求項6記載の半導体システムに於て、前記少なくとも一つのロジックチップ及び前記少なくとも一つのメモリチップの一方に設けられ前記電源電圧を降圧して降圧電圧を生成する降圧回路と、該降圧電圧を該少なくとも一つのロジックチップ及び該少なくとも一つのメモリチップの該一方から他方へ供給する降圧配線を更に含むことを特徴とする。

【0014】請求項9の発明に於ては、請求項6記載の半導体システムに於て、前記電源配線は、前記第1の入出力回路部と前記第2の入出力回路部とに対して、専用の電源電圧を供給することを特徴とする。請求項10の発明に於ては、請求項1記載の半導体システムに於て、隣接するメモリチップとデータ転送するために該少なくとも一つのロジックチップに設けられる第1の入出力回路部と、隣接するロジックチップとデータ転送するために該少なくとも一つのメモリチップに設けられる第2の入出力回路部と、を更に含み、該第1の入出力回路部と該第2の入出力回路部は、CMOS型の回路である信号出力部と信号入力部とを含み、出力信号の振幅は、該信号出力部に供給される電源電圧に略等しいことを特徴とする。

【0015】請求項11の発明に於ては、請求項1記載の半導体システムに於て、前記少なくとも一つのメモリチップと前記パッケージ外部に設けられた別の記憶装置との間でデータ転送を行うために該少なくとも一つのメモリチップに設けられる第3の入出力端子を更に含み、該第3の入出力端子は該少なくとも一つのメモリチップの前記一辺とは別の辺に設けられることを特徴とする。

【0016】請求項12の発明に於ては、請求項11記載の半導体システムに於て、前記少なくとも一つのメモリチップは、前記少なくとも一つのロジックチップからランダムアクセス可能な第1の記憶部と、前記第3の入出力端子から供給されたデータを一時的に蓄えた後に該第1の記憶部に転送する第2の記憶部を含むことを特徴とする。

【0017】請求項13の発明に於ては、請求項11記載の半導体システムに於て、前記少なくとも一つのメモリチップは、前記少なくとも一つのロジックチップからランダムアクセス可能な第1の記憶部と、前記第1の記憶部から供給されたデータを一時的に蓄えた後に該第3の入出力端子に送出する第2の記憶部を含むことを特徴とする。

【0018】請求項14の発明に於ては、半導体装置は、チップの一辺に配置されたクロック受信用端子と、

該一辺に配置された複数の入出力端子と、該クロック受信用端子で受信された受信クロック信号に基づいて入出力制御用クロック信号を生成する制御用クロック発生回路と、該入出力制御用クロック信号に同期して該入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う複数の入出力回路と、該制御用クロック発生回路と該複数の入出力回路の各々とを接続する同一長の複数の接続配線を含むことを特徴とする。

【0019】請求項15の発明に於ては、請求項14記載の半導体装置に於て、前記制御用クロック発生回路は、データ出力用クロック信号を前記入出力制御用クロック信号として生成する第1のクロック発生回路を含むことを特徴とする。請求項16の発明に於ては、請求項15記載の半導体装置に於て、前記第1のクロック発生回路は、前記複数の接続配線の第1の遅延分と前記複数の入出力回路の第2の遅延分との合計遅延分だけ前記受信クロック信号から位相がずれた信号を前記データ出力用クロック信号として出力することを特徴とする。

【0020】請求項17の発明に於ては、請求項16記載の半導体装置に於て、前記第1のクロック発生回路は、前記受信クロック信号の位相を調整して遅延信号を出力する位相調整回路と、該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、該第1の信号より前記第2の遅延分だけ位相の遅れた第2の信号を出力する第2の手段を含み、該位相調整手段は該第2の信号と該受信クロック信号とが同位相となるように該遅延信号の位相を調整して該遅延信号を前記データ出力用クロック信号として出力することを特徴とする。

【0021】請求項18の発明に於ては、請求項14記載の半導体装置に於て、前記制御用クロック発生回路は、データ取り込み用クロック信号を前記入出力制御用クロック信号として生成する第2のクロック発生回路を含むことを特徴とする。請求項19の発明に於ては、請求項18記載の半導体装置に於て、前記第2のクロック発生回路は、前記複数の接続配線の第1の遅延分と第2の遅延分との合計遅延分だけ前記受信クロック信号から位相がずれた信号を前記データ取り込み用クロック信号として出力することを特徴とする。

【0022】請求項20の発明に於ては、請求項19記載の半導体装置に於て、前記第2のクロック発生回路は、前記受信クロック信号の位相を調整して遅延信号を出力する位相調整回路と、該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、該遅延信号を前記第2の遅延分だけ遅延させる第2の手段を含み、該位相調整手段は該第1の信号と該受信クロック信号とが同位相となるように該遅延信号の位相を調整して、該第2の手段は該遅延信号を該第2の遅延分だけ遅延させて前記データ取り込み用クロック信号として出力することを特徴とする。

【0023】請求項21の発明に於ては、請求項20記載の半導体装置に於て、前記第2の手段は、前記遅延信号を位相180度分遅延させる位相シフト回路であることを特徴とする。請求項22の発明に於ては、請求項20記載の半導体装置に於て、前記第2の手段は、前記遅延信号を所定の固定遅延量だけ遅延させる固定遅延回路であることを特徴とする。

【0024】請求項23の発明に於ては、請求項20記載の半導体装置に於て、前記第2のクロック発生回路は1/N分周器を更に含み、前記受信クロック信号の周波数の1/Nの周波数で互いに位相が360度/Nずれた複数の分周クロック信号を生成し、前記複数の入出力回路の各々は、N個の入力回路を含み、該N個の入力回路は対応する該分周クロック信号を同期信号として用いることを特徴とする。

【0025】請求項24の発明に於ては、請求項14記載の半導体装置に於て、前記クロック受信用端子に受信された前記受信クロック信号をそのまま出力する前記一辺に配置されたクロックリターン端子を更に含むことを特徴とする。請求項25の発明に於ては、半導体装置

は、外部から受信した受信クロック信号を入力として内部クロック信号を供給する内部クロック発生回路と、チップの一辺に配置され該内部クロック信号を出力するクロック送信用端子と、該一辺に配置された複数の入出力端子と、該内部クロック信号に基づいて入出力制御用クロック信号を生成する制御用クロック発生回路と、該入出力制御用クロック信号に同期して該入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う複数の入出力回路と、該制御用クロック発生回路と該複数の入出力回路の各々とを接続する同一長の複数の接続配線を含むことを特徴とする。

【0026】請求項26の発明に於ては、請求項25記載の半導体装置に於て、前記内部クロック発生回路は、前記受信クロック信号の周波数を倍して該内部クロック信号を生成することを特徴とする。請求項27の発明に於ては、請求項25記載の半導体装置に於て、前記制御用クロック発生回路は、データ出力用クロック信号を前記入出力制御用クロック信号として生成する第1のクロック発生回路を含むことを特徴とする。

【0027】請求項28の発明に於ては、請求項27記載の半導体装置に於て、前記第1のクロック発生回路は、前記複数の接続配線の第1の遅延分と前記複数の入出力回路の第2の遅延分との合計遅延分だけ前記内部クロック信号から位相がずれた信号を前記データ出力用クロック信号として出力することを特徴とする。請求項29の発明に於ては、請求項16記載の半導体装置に於て、前記第1のクロック発生回路は、前記内部クロック信号の位相を調整して遅延信号を出力する位相調整回路と、該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、該第1の信号より前記第2の遅延分だけ位相の遅れた第2の信号を出力する第2の手段を含み、該位相調整手段は該第1の信号と該受信クロック信号とが同位相となるように該遅延信号の位相を調整して、該第2の手段は該遅延信号を該第2の遅延分だけ遅延させて前記データ取り込み用クロック信号として出力することを特徴とする。

前記第2の遅延分だけ位相の遅れた第2の信号を出力する第2の手段を含み、該位相調整手段は該第2の信号と該内部クロック信号とが同位相となるように該遅延信号の位相を調整して該遅延信号を前記データ出力用クロック信号として出力することを特徴とする。

【0028】請求項30の発明に於ては、請求項25記載の半導体装置に於て、前記制御用クロック発生回路は、データ取り込み用クロック信号を前記入出力制御用クロック信号として生成する第2のクロック発生回路を含むことを特徴とする。請求項31の発明に於ては、請求項30記載の半導体装置に於て、前記第2のクロック発生回路は、前記複数の接続配線の第1の遅延分と第2の遅延分との合計遅延分だけ前記内部クロック信号から位相がずれた信号を前記データ取り込み用クロック信号として出力することを特徴とする。

【0029】請求項32の発明に於ては、請求項31記載の半導体装置に於て、前記第2のクロック発生回路は、前記内部クロック信号の位相を調整して遅延信号を出力する位相調整回路と、該遅延信号より前記第1の遅延分だけ位相の遅れた第1の信号を出力する第1の手段と、該遅延信号を前記第2の遅延分だけ遅延させる第2の手段を含み、該位相調整手段は該第1の信号と該内部クロック信号とが同位相となるように該遅延信号の位相を調整して、該第2の手段は該遅延信号を該第2の遅延分だけ遅延させて前記データ取り込み用クロック信号として出力することを特徴とする。

【0030】請求項33の発明に於ては、請求項32記載の半導体装置に於て、前記第2の手段は、前記遅延信号を位相180度分遅延させる位相シフト回路であることを特徴とする。請求項34の発明に於ては、請求項32記載の半導体装置に於て、前記第2の手段は、前記遅延信号を所定の固定遅延量だけ遅延させる固定遅延回路であることを特徴とする。

【0031】請求項35の発明に於ては、請求項32記載の半導体装置に於て、前記第2のクロック発生回路は1/N分周器を更に含み、前記内部クロック信号の周波数の1/Nの周波数で互いに位相が360度/Nずれた複数の分周クロック信号を生成し、前記複数の入出力回路の各々は、N個の入力回路を含み、該N個の入力回路は対応する該分周クロック信号を同期信号として用いることを特徴とする。

【0032】請求項36の発明に於ては、請求項25記載の半導体装置に於て、前記クロック送信用端子から送出される前記内部クロック信号を所定の遅延時間後に受信する前記一辺に設けられたクロックリターン端子を更に含み、前記制御用クロック発生回路は、該内部クロック信号を用いて前記入出力制御用クロック信号としてデータ出力用クロック信号を生成する第1のクロック発生回路と、該クロックリターン端子に受信されたクロック信号を用いて該入出力制御用クロック信号としてデータ

取り込み用クロック信号を生成する第2のクロック発生手段を含むことを特徴とする。

【0033】請求項37の発明に於ては、半導体システムは、少なくとも一つの第1の半導体チップと、一辺が該少なくとも一つの第1の半導体チップの一辺と対向するように配置される少なくとも一つの第2の半導体チップと、該少なくとも一つの第1の半導体チップと該少なくとも一つの第2の半導体チップを内部に格納するパッケージを含み、該少なくとも一つの第1の半導体チップは、外部から受信した受信クロック信号を入力として内部クロック信号を供給する内部クロック発生回路と、該一辺に配置され該内部クロック信号を出力するクロック送信用端子と、該一辺に配置された第1の複数の入出力端子と、該内部クロック信号に基づいて第1の入出力制御用クロック信号を生成する第1の制御用クロック発生回路と、該第1の入出力制御用クロック信号に同期して該第1の複数の入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う第1の複数の入出力回路と、該第1の制御用クロック発生回路と該第1の複数の入出力回路の各々とを接続する同一長の複数の接続配線を含み、該少なくとも一つの第2の半導体チップは、該一辺に配置され該内部クロック信号を該少なくとも一つの第1の半導体チップから受け取るクロック受信用端子と、該一辺に配置され該第1の複数の入出力端子と接続される第2の複数の入出力端子と、該クロック受信用端子で受信された該内部クロック信号に基づいて第2の入出力制御用クロック信号を生成する第2の制御用クロック発生回路と、該第2の入出力制御用クロック信号に同期して該第2の複数の入出力端子を介して外部へのデータ出力及び外部からのデータ取り込みを行う第2の複数の入出力回路と、該第2の制御用クロック発生回路と該第2の複数の入出力回路の各々とを接続する同一長の複数の接続配線を含み、該第1の半導体チップ及び該第2の半導体チップの一方はロジックチップであり他方はメモリチップであることを特徴とする。

【0034】請求項38の発明に於ては、請求項37記載の半導体システムに於て、前記少なくとも一つの第2の半導体チップは、前記クロック受信用端子に受信された前記内部クロック信号をそのまま出力する前記一辺に配置された第1のクロックリターン端子を更に含み、前記少なくとも一つの第1の半導体チップは、該第1のクロックリターン端子に接続される前記一辺に設けられた第2のクロックリターン端子を更に含み、前記第1の制御用クロック発生回路は、該内部クロック発生回路からの該内部クロック信号を用いて前記第1の入出力制御用クロック信号としてデータ出力用クロック信号を生成する第1のクロック発生回路と、該第2のクロックリターン端子に受信されたクロック信号を用いて該第1の入出力制御用クロック信号としてデータ取り込み用クロック信号を生成する第2のクロック発生手段を含むことを特徴とする。

徴とする。

【0035】請求項39の発明に於ては、2のM乗ビット×Nワード×2のL乗バンク構成を有する半導体メモリチップは、チップの一辺に配置された、クロック受信用端子と、M個のアドレス信号用端子と、N個のデータ入出力端子と、L個のバンク選択信号用端子と、3個のコマンド選択用端子と、パワーダウン信号用端子と、バイト単位に用意したDM信号用端子と、複数の電源用端子を含むことを特徴とする。

【0036】請求項40の発明に於ては、請求項39記載の半導体メモリチップに於て、前記クロック受信用端子で受信したクロック信号をそのまま送出する該一辺に配置されるクロックリターン端子を更に含むことを特徴とする。請求項41の発明に於ては、請求項40記載の半導体メモリチップに於て、PLL回路及びDLI回路の少なくとも一つを更に含み、前記複数の電源用端子は、該PLL回路及びDLI回路の少なくとも一つに対する専用の電源を供給する電源端子を含むことを特徴とする。

【0037】請求項42の発明に於ては、半導体システムは、パッケージと、該パッケージ内部に格納される複数の半導体チップを含み、該複数の半導体チップは、該パッケージ外部と接続される外部接続パッドと、該複数の半導体チップ間で接続されるチップ間接続パッドと、静電気放電による破壊防止のために該外部接続パッド毎に設けられる第1の電流駆動能力を有する第1のESD保護回路と、静電気放電による破壊防止のために該チップ間接続パッド毎に設けられる第2の電流駆動能力を有する第2のESD保護回路を含み、該第2の電流駆動能力は該第1の電流駆動能力よりも小さいことを特徴とする。

【0038】請求項43の発明に於ては、請求項42記載の半導体システムに於て、前記第1のESD保護回路は第1のMOSFETを含み、前記第2のESD保護回路は第2のMOSFETを含み、該第2のMOSFETは該第1のMOSFETよりも狭いゲート幅を有することを特徴とする。請求項44の発明に於ては、請求項42記載の半導体システムに於て、前記第1のESD保護回路は第1のバイポーラ型トランジスタを含み、前記第2のESD保護回路は第2のバイポーラ型トランジスタを含み、該第2のバイポーラ型トランジスタは該第1のバイポーラ型トランジスタよりも狭いエミッタ面積を有することを特徴とする。

【0039】請求項45の発明に於ては、請求項42記載の半導体システムに於て、前記第1のESD保護回路は第1のダイオードを含み、前記第2のESD保護回路は第2のダイオードを含み、該第2のダイオードは該第1のダイオードよりも狭いエミッタ面積を有することを特徴とする。上記請求項1乃至13記載の半導体システムに於ては、パッケージ内にロジックチップとメモリチ

ップとを搭載して互いに接続する構成に於て、チップ間の入出力端子を全て対向する辺に設けるので接続が容易である。またチップ間の入出力端子同士を最短距離で同一長の配線を用いて接続することで信号間スキーがなくなると共に、ワイヤボンディングを用いることで配線容量が少なくなるので、チップ間での高速なデータ転送を実現することが出来る。また隣接するチップの入出力回路に共通な電源を用いることで、入力側と出力側で信号レベルの揃った高速なデータ転送が可能になると共

10 に、この共通な電源を入出力回路用の専用電源とすれば、他の回路部分の動作による電源電圧レベルの変動の影響を避けることが出来る。更に、メモリチップ側にパッケージ外部とのデータ入出力を直接に行う端子群を設けることで、パッケージ外部にある外部記憶装置とのデータ入出力をを行うことが出来る。

【0040】上記請求項14乃至24記載の半導体装置に於ては、データ転送に必要な入出力端子及び相手側からクロック信号を受信するクロック受信用端子がチップの一辺に配置されるので、相手側のチップをこの辺に対

20 向するように隣接して配置した場合に、データ転送のための接続を容易に行なうことが出来る共に、相手側のチップと同一のクロック信号を用いることが可能になる。更に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。また制御用クロック発生回路は、等長配線等による信号遅延を考慮にいれたフィードバックループによる位相制御を行うことで、データ取り込み用に適した位相のクロック信号と、データ出力用に適した位相のクロック信号とを生成することが出来る。更にデータ取り込み用クロック信号の周波数を1/Nに分周してNセットのデータ取り込み動作を行なうことで、半導体装置内部での動作周波数に対してデータ転送周波数をN倍にすることができる。また相手側のチップから受信したクロック信号をそのまま相手側に送信することで、相手側のチップはチップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来るようになる。

【0041】上記請求項25乃至36記載の半導体装置に於ては、データ転送に必要な入出力端子及びクロック信号を相手側に供給するクロック送信用端子がチップの一辺に配置されるので、相手側のチップをこの辺に対向するように隣接して配置した場合に、データ転送のための接続を容易に行なうことが出来る共に、相手側のチップが同一のクロック信号を用いることを可能にする。更に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。また制御用クロック発生回路は、等長配線等による信号遅延を考慮にいれたフィードバックループによる位相制御を行うことで、データ取り込み用に適した位相の

40 相手側のチップから受信したクロック信号をそのまま相手側に送信することで、相手側のチップはチップ間の信号伝播遅延を考慮にいれた同期制御を行なうようになる。

クロック信号と、データ出力用に適した位相のクロック信号とを生成することが出来る。更にデータ取り込み用クロック信号の周波数を $1/N$ に分周してNセットのデータ取り込み動作を行うことで、半導体装置内部での動作周波数に対してデータ転送周波数をN倍にすることが出来る。また相手側のチップに送信してそのまま戻ってきたクロック信号を受け取り、このクロック信号に基づいてデータ取り込み動作の同期を取ることによって、チップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来る。

【0042】上記請求項37乃至38記載の半導体システムに於ては、パッケージ内にロジックチップとメモリチップとを搭載して互いに接続する構成に於て、チップ間の入出力端子を全て対向する辺に設けるので接続が容易であると共に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。また一方のチップは、他方のチップに送信してそのまま戻ってきたクロック信号を受け取り、このクロック信号に基づいてデータ取り込み動作の同期を取ることによって、チップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来る。

【0043】上記請求項39乃至41記載の半導体メモリチップに於ては、データ転送に必要な端子及び電源端子がメモリチップの一辺に配置されるので、ロジックチップ等をこの辺に対向するように隣接して配置した場合に、データ転送のための接続を容易に行うことが出来る。また受信したクロック信号をそのまま送出するクロックリターン端子を設けることで、隣接して配置されるロジックチップ等の側で、このクロックリターン端子から返されたクロック信号を用いて、チップ間の信号伝播遅延を考慮にいれた同期制御を行なうことが出来る。更には、メモリチップ内のPLL回路及び/又はDLL回路で用いられる専用電源端子を設けることで、PLL回路及び/又はDLL回路の安定した動作を保証することが出来る。

【0044】上記請求項42乃至45記載の半導体システムに於ては、パッケージに複数の半導体チップが搭載される場合、半導体チップ間を接続するためのパッドは、パッケージによって覆われており、帯電した人体が触れるようなどはない。従って、外部端子に接続されるパッドに設けられるESD保護回路と比較して、半導体チップ間接続のパッドに設けられるESD保護回路は、比較的小量の電流を流せずに足るものであればよい。ESD保護回路を小さく出来れば、チップ面積を小さく出来るという利点があると共に、寄生容量を小さく出来るので、信号の切り替わりの速度を速くして高速なデータ転送を可能にすることが出来る。

【0045】

【発明の実施の形態】以下に、本発明の実施例を添付の

図面と共に説明する。図1は、本発明により同一のパッケージにロジックチップとメモリチップとを搭載した実施例を示す。図1の半導体システム1は、パッケージ10に搭載されたロジックチップ11及びメモリチップ12を含む。ロジックチップ11及びメモリチップ12は、一辺が向き合うように互いに隣接して配置される。パッケージ10は、外部との信号入出力用の外部端子13、ロジックチップ11及びメモリチップ12と接続される接続端子14を含み、外部端子13と接続端子14とは電気的に接続されている(図示せず)。

【0046】パッケージ10は、更にI/O回路電源用端子15を含み、I/O回路電源用端子15は接続端子14を介して外部から電源電圧VCCとグランド電圧VSSを受け取る。電源電圧VCCとグランド電圧VSSを伝送するI/O回路電源線16が、I/O回路電源用端子15から延びて、ロジックチップ11及びメモリチップ12間に配線される。I/O回路電源線16上には、端子17が設けられる。

【0047】接続端子14は、ロジックチップ11及びメモリチップ12の接続端子24あるいはメモリチップ12の外部記憶装置用端子32に、ワイヤボンディング等で電気的に接続される。ロジックチップ11及びメモリチップ12の各々は、メモリ・ロジック間I/O部20を含む。メモリ・ロジック間I/O部20は、高速I/O回路21、I/O端子22、及びI/O電源端子23を含む。I/O端子22及びI/O電源端子23は、ロジックチップ11及びメモリチップ12の対向して隣接する辺に配置される。I/O端子22は、ロジックチップ11及びメモリチップ12間で、対向する端子同士が対応するように、ワイヤボンディング25で電気的に接続される。I/O電源端子23は、I/O回路電源線16上に設けられた端子17にワイヤボンディング等で接続する。

【0048】ロジックチップ11及びメモリチップ12間で、I/O端子22同士は配線長が等しくなるように接続され、データ間のタイミングのずれが生じないよう構成される。また上述のように対向する端子同士が接続されるので、I/O端子22間を最短の配線長で配線することになる。高速I/O回路21は、後述するように、CMOSタイプの回路で構成されており、ロジックチップ11及びメモリチップ12間で高速なデータ転送を可能にする。高速I/O回路21は、I/O電源端子23に供給された電源電圧VCC及びグランド電圧VSSにより駆動される。なおロジックチップ11及びメモリチップ12に於て、高速I/O回路21以外の回路部分は、I/O電源端子23とは別の電源経路として、接続端子14から接続端子24を介して電源電圧及びグランド電圧が供給される。

【0049】高速I/O回路21の電源を、ロジックチップ11及びメモリチップ12間で共通にすることによ

り、ロジックチップ11及びメモリチップ12の間で信号振幅を同一にして、確実な信号伝達を実現することが可能になる。またこの共通のI/O用電源は、それ以外の回路部分の電源電圧と違いが発生してもよいように、上述のように専用電源として供給される。専用電源として供給することで、高速I/O回路21へ安定した電源電圧供給を行うことが出来る。

【0050】図24(A)のようにバス503を介して接続するのではなく、ワイヤボンディング25によってI/O端子22同士を接続するので、ロジックチップ11及びメモリチップ12間の配線容量が小さく、高速なデータ転送を実現することが出来る。また高速I/O回路21の出力回路の駆動能力をそれ程高くする必要がないので、高速I/O回路21の面積を小さく構成することが可能となり、多数のI/O端子22を対向する辺に配置することが出来る。

【0051】図2は、高速I/O回路21の出力回路及び入力回路の回路構成を示す回路図である。図2に示されるように、高速I/O回路21の出力回路は、PMOSトランジスタ26とNMOSトランジスタ27を含み、入力回路は、PMOSトランジスタ28とNMOSトランジスタ29を含む。このようにCMOSタイプの回路で入出力回路を構成するのは、以下の理由による。従来の図24(A)のような構成に於ては、データ転送のクロック周波数が高くなると、バス503に於ける信号反射の影響が大きくなってしまう。この影響を小さくするためには、信号の振幅を小さくすると共にバス終端抵抗を設ける必要があり、CMOSタイプの回路を用いることが困難になる。それに対して図1及び図2に示される本発明の構成では、出力回路と入力回路との間は、ワイヤボンディング25によって接続されているため、反射の影響を考える必要がなく、CMOSタイプの回路によって振幅の大きな信号を用いることが出来る。またワイヤボンディング25の配線容量が小さいので、出力回路の電流駆動能力をそれ程高くしなくとも、高速なデータ転送が可能である。従って出力回路に於て、PMOSトランジスタ26とNMOSトランジスタ27のゲート幅を比較的小さくすることが可能であり、高速I/O回路21の面積を小さくして、多数のI/O端子22を配置することが出来る。また出力回路当りの消費電力が小さいので、多数のI/O端子22を配置してロジックチップ11及びメモリチップ12間を多数の信号線で接続しても、大きな消費電力を必要とすることがなく、バス幅の拡大による高速なデータ転送を実現できる。

【0052】図1を再び参照して、メモリチップ12は更に、パッケージ10外部の他の記憶装置とデータ入出力を行う外部記憶装置用I/O部30を含んでもよい。外部記憶装置用I/O部30は、外部記憶装置用I/O回路31及び外部記憶装置用端子32を含む。外部記憶装置用端子32は、パッケージ10側の接続端子14を

介して、パッケージ10の外部端子13に電気的に接続される。この外部記憶装置用端子32は、メモリチップ12に於て、I/O端子22が設けられている辺とは異なる辺に設けられる。また外部記憶装置用I/O回路31は、半導体システム1が接続されるバスと整合性がある通常のI/O回路であってよく、高速I/O回路21と同程度の高速データ転送が可能である必要性はない。

【0053】図3は、本発明により同一のパッケージにロジックチップとメモリチップとを搭載した別の実施例を示す。図3に於て、図1と同一の番号は、図1と同一の構成要素を参照するために用いられる。図3の半導体システム1Aは、パッケージ10A、ロジックチップ11A、及びメモリチップ12Aを含む。図3の実施例は図1の実施例に比較して、ロジックチップ11A及びメモリチップ12AのI/O電源の供給の仕方が異なる。

【0054】図3のロジックチップ11Aは、電源電圧を受け取り電源電圧を降圧して降圧電圧を生成する降圧回路33を含む。降圧回路33は、電源電圧VCCを供給する端子17からI/O電源端子23aを介して電源電圧VCCを受け取り、降圧電圧VCC1をI/O電源端子23bに供給する。ロジックチップ11A側のI/O電源端子23bは、メモリチップ12A側のI/O電源端子23bにワイヤボンディング等を介して電気的に接続される。なおグランド電圧VSSは、図1の実施例と同様に、ロジックチップ11A及びメモリチップ12Aの各々に対して、端子17からI/O電源端子23を介して直接に供給される。

【0055】このような構成にすることで、電源電圧VCCを降圧した降圧電圧VCC1を用いて高速I/O回路21を駆動する場合に、降圧電圧VCC1の電圧レベルをロジックチップ11A及びメモリチップ12A間で同一とすることが出来る。従ってロジックチップ11A及びメモリチップ12A間で信号振幅を同一にして、確実な信号伝達を実現することが可能になる。

【0056】図3に於て、降圧回路33は、ロジックチップ11A側に設けられたが、代わりにメモリチップ12A側に設けてもよいことは言うまでもない。なお降圧回路33の構成は、従来半導体システムで用いられる降圧回路と同様であるので、詳細な説明は省略する。図4は、本発明により同一のパッケージにロジックチップとメモリチップとを搭載した更に別の実施例を示す。図4に於て、図1と同一の番号は、図1と同一の構成要素を参照するために用いられる。

【0057】図4の半導体システム1Bは、パッケージ10B、2つのロジックチップ11、及びメモリチップ12Bを含む。2つのロジックチップ11は、メモリチップ12Bの両側に配置され、各ロジックチップ11とメモリチップ12Bとの間には、I/O回路電源線16が配線される。一つのロジックチップ11ではなく、2つのロジックチップ11がパッケージ10B内に搭載さ

れる点が、図1の実施例の場合と異なる。

【0058】図4から分かるように、I/O端子22がメモリチップ12Bの左右両辺に配置されているので、パッケージ10B外部の他の記憶装置とデータ入出力を行う外部記憶装置用I/O部30は、メモリチップ12Bの図面下側の辺に設けられる。図5は、本発明により同一のパッケージにロジックチップとメモリチップとを搭載した更に別の実施例を示す。図5に於て、図1と同一の番号は、図1と同一の構成要素を参照するために用いられる。

【0059】図5の半導体システム1Cは、パッケージ10C、ロジックチップ11C、及び2つのメモリチップ12を含む。2つのメモリチップ12は、ロジックチップ11Cの両側に配置され、各メモリチップ12とロジックチップ11Cとの間には、I/O回路電源線16が配線される。一つのメモリチップ12ではなく、2つのメモリチップ12がパッケージ10C内に搭載される点が、図1の実施例の場合と異なる。

【0060】図6は、図1のメモリチップ12の構成例を示すブロック図である。メモリチップ(DRAM)12は、クロックバッファ41、コマンドデコーダ42、バンク選択バッファ43、アドレスバッファ44、データバッファ45、及び複数(図では2つ)のバンク50を含む。各バンク50は、メモリセルアレイ46、ローデコーダ47、センスアンプ・ライトアンプ48、及びコラムデコーダ49を含む。図6のDRAMの構成は、従来のDRAMの構成と同様であり、単にデータバッファ45等のロジックチップ11との間で信号伝送を行うバッファが、図2に示される入出力回路を有した高速I/O回路21を用いて構成されている点が、従来のDRAMとは異なる。従って以下に於て、メモリチップ12の動作に関する説明は、必要最小限の説明とする。

【0061】クロックバッファ41は、供給されるクロック信号CLKを、コマンドデコーダ42、バンク選択バッファ43、アドレスバッファ44、及びデータバッファ45に供給する。コマンドデコーダ42は、コマンド信号PD、/RAS、/CAS、及び/WEを、クロック信号CLKに同期して取り込みデコードする。デコード結果に応じて、メモリチップ12の動作が制御される。バンク選択バッファ43は、クロック信号CLKに同期してアドレス信号Aを取り込む。アドレス信号Aに応じて、2つのバンク50のうちの一つが選択される。アドレスバッファ44は、アドレス信号A0乃至Amを、クロック信号CLKに同期して取り込み、ローデコーダ及びコラムデコーダにロードアドレス及びコラムアドレスを供給する。

【0062】選択されたバンク50のローデコーダ47は、メモリセルアレイ46の指定されたロードアドレスをアクセスする。データ読み出しの場合には、このロードアドレスのデータが、センスアンプ・ライトアンプ48に

保持される。コラムデコーダ49は、指定されたコラムアドレスのデータを、センスアンプ・ライトアンプ48から読み出させる。読み出されたデータは、データバッファ45を介して、ロジックチップ11に供給される。データ書き込みの場合には、ロジックチップ11からデータバッファ45に供給されたデータが、センスアンプ・ライトアンプ48を介して、メモリセルアレイ46に格納される。

【0063】図7は、外部記憶装置用I/O部30を備える場合のメモリチップ12の構成例を示すブロック図である。図7に於て、図6と同一の構成要素は同一の番号で参照され、その説明は省略される。図7のメモリチップ12は、図6のメモリチップに於て、バンク50がバンク50Aで置き換えられると共に、転送制御回路55と外部記憶装置用データバッファ56とを含む。バンク50Aは、図6のバンク50と同一のメモリセルアレイ46、ローデコーダ47、センスアンプ・ライトアンプ48、及びコラムデコーダ49に加えて、シリアルアドレスカウンタ51、シリアルデコーダ52、シリアルアクセスメモリ(SAM)53、及び転送ゲート54を含む。これらのシリアルアドレスカウンタ51、シリアルデコーダ52、シリアルアクセスメモリ53、及び転送ゲート54は、半導体システム1(図1)の外部に設けられた外部記憶装置とメモリチップ12との間で、シリアルなデータ転送を行うためにバンク50A内に設けられる。ここで外部記憶装置用データバッファ56が、図1の外部記憶装置用I/O部30に対応する。

【0064】シリアルアドレスカウンタ51は、アドレスバッファ44から供給されたアドレスを基にして、アドレスをカウントアップすることで連続したアドレスを順次出力する。シリアルデコーダ52は、シリアルアドレスカウンタ51から順次供給されるアドレスをデコードして、シリアルアクセスメモリ53に供給する。データ書き込みの場合、外部から外部記憶装置用データバッファ56に供給されるデータは、シリアルアクセスメモリ53内の連続するアドレスに順次書き込まれる。転送制御回路55が制御するタイミングで、転送ゲート54が開かれ、シリアルアクセスメモリ53内のデータが、並列にメモリセルアレイ46に転送される。データ読み出しの場合の動作は、データ書き込みの場合と逆である。

【0065】図7のメモリチップ12の構成は、従来用いられるデュアルポートメモリ等で用いられる構成と同様であり、各構成要素の詳細な説明は省略する。図8は、図1の高速I/O回路21を含むメモリ・ロジック間I/O部20の構成を示すブロック図である。図8に於て、図1と同一の構成要素は同一の番号で参照され、その説明は省略される。

【0066】メモリチップ12は、T-CLK発生回路50、100、R-CLK発生回路101、等長配線102、

及びデータバッファ103を含む。これらのT-CLK発生回路100、R-CLK発生回路101、等長配線102、及びデータバッファ103が高速I/O回路21を構成し、高速I/O回路21と複数のI/O端子22とで、メモリチップ側のメモリ・ロジック間I/O部20を構成する。

【0067】T-CLK発生回路100は、ロジックチップ11からノードN1(I/O端子22)に供給されたクロック信号I-CLKに基づいて、メモリチップ12に対するデータ書き込み用のクロック信号T-CLKを生成する回路である。T-CLK発生回路100は、DLL(delay latch circuit)回路111、位相シフト回路112、及びダミー等長配線113を含む。DLL回路111は、T-CLK発生回路100からデータバッファ103までの等長配線102による信号遅延を考慮にいれて、略360度の位相遅れを、ノードN1の信号N1に対して与える。位相遅延された信号N2は、位相シフト回路112によって更に180度位相が遅延され、書き込み用クロック信号T-CLKとして、等長配線102を介して複数のデータバッファ103に供給される。ダミー等長配線113は、DLL回路111に於て、等長回線102による位相遅延の影響を模擬する為に用いられる。

【0068】図9は、図8のメモリチップ側の高速I/O回路21の動作を説明するためのタイミング図である。以下に図8及び図9を用いて、高速I/O回路21の動作を説明する。等長配線102による位相遅延をxとする。T-CLK発生回路100のDLL回路111から出力される信号N4は、信号N2と同位相の信号である。信号N4をダミー等長配線113に入力すると、ダミー等長配線113から出力される信号N3は、信号N2より位相xだけ遅れた信号となる。DLL回路111は、この信号N3と信号N1とが同位相になるように、信号N4の位相を調整する。従って、信号N4と同位相である信号N2は、信号N1(クロック信号I-CLK)と比較して360度-xだけ位相が遅れた信号である。信号N1と信号N2とが図9の(F)及び(G)に示される。信号N2は、位相シフト回路112によって180度位相が遅延されて、信号N5(図9(H))となる。信号N5は、T-CLK発生回路100から出力され、等長配線102を伝播して、信号N11としてデータバッファ103に供給される。図9(1)に示されるように、信号N11は、等長配線102の位相遅延xによって、クロック信号I-CLK(信号N1)と正確に180度位相のずれた信号となる。

【0069】ロジックチップ11からは、クロック信号I-CLKと同位相のデータ信号がメモリチップ12に供給される。メモリチップ12のノードN12(I/O端子22)に供給された信号N12が、図9(J)に示される。データバッファ103に供給される信号N11

(図9(1))は、信号N12と丁度180度位相がずれているので、信号N11をデータ取り込みのための同期信号として用いることで、信号N12が有効である期間の丁度中間点でデータを取り込むことが可能になる。これによって、高速なクロック周波数を用いても、信頼性の高いデータ書き込みを実行することが可能になる。

【0070】R-CLK発生回路101は、ロジックチップ11からノードN1(I/O端子22)に供給されたクロック信号I-CLKに基づいて、メモリチップ12からデータを読み出す際のデータ読み出し用クロック信号R-CLKを生成する回路である。R-CLK発生回路101は、DLL回路114、ダミー等長配線115、ダミーデータバッファ116、及びダミーノード117を含む。DLL回路114は、R-CLK発生回路101からI/O端子22までの信号遅延を考慮にいれて、略360度の位相遅れを、ノードN1の信号N1に対して与える。位相遅延された信号N6は、読み出し用クロック信号R-CLKとして、等長配線102を介して複数のデータバッファ103に供給される。ダミー等長配線115は、DLL回路114に於て、等長回線102による位相遅延の影響を模擬する為に用いられる。またダミーデータバッファ116及びダミーノード117は各々、データバッファ103とI/O端子22の遅延を模擬するために用いられる。

【0071】等長配線102、データバッファ103、及びI/O端子22による合計の位相遅延をyとする。R-CLK発生回路101のDLL回路114から出力される信号N7は、信号N6と同位相の信号である。信号N7をダミー等長配線115、ダミーデータバッファ116、及びダミーノード117に伝播させると、ダミーノード117から出力される信号N9は、信号N7より位相yだけ遅れた信号となる。DLL回路114は、この信号N9と信号N1とが同位相になるように、信号N7の位相を調整する。従って、信号N7と同位相である信号N6は、信号N1(クロック信号I-CLK)と比較して360度-yだけ位相が遅れた信号である。信号N1と信号N6(=N7)とが、図9の(A)及び(B)に示される。信号N6は、等長配線102によって位相が遅延されて、信号N10(=N8:図9(C))となる。信号N10は、データバッファ103で同期信号として用いられて、データバッファ103からI/O端子22へと信号N12(図9(E))が出力される。信号N12は、信号N6に対して位相yだけ遅れているので、図9(D)に示される信号N9と同位相の信号である。信号N9はクロック信号I-CLK(信号N1)と同位相の信号であるから、I/O端子22から出力される信号N12もまた、クロック信号I-CLKと同位相の信号となる。

【0072】このようにR-CLK発生回路101を用いることで、ロジックチップ11から供給されるクロック

ク信号I-CLKと同一の位相で、読み出しデータをメモリチップ12から読みだすことが出来る。図8に於て、ロジックチップ11は、クロックバッファ120、DLL回路121、位相シフト回路122、ダミー等長配線123、DLL回路124、ダミー等長配線125、ダミーデータバッファ126、ダミーノード127、及びデータバッファ128を含む。クロックバッファ120は、接続端子24を介して外部から入力されたクロック信号CLKを受け取り、クロック信号I-CLKを出力する。クロック信号I-CLKは、I/O端子22を介してメモリチップ12に供給されると共に、ロジックチップ11内部へと供給される。メモリ・ロジック間I/O部20を示した図8に於て、クロックバッファ120以外のロジックチップ11の構成要素はメモリチップ12の構成要素と同一であり、読み出し及び書き込み時の動作も同一であるので、その詳細な説明は省略する。

【0073】図10は、DLL回路111の構成を示す構成図である。図10に示されるように、DLL回路111は、分周器131、可変遅延回路132及び133、位相比較器134、及び遅延制御回路135を含む。端子INに入力された信号は分周器131によって分周されて、位相比較をするに適切な分周信号に変換される。分周器131からの分周信号は可変遅延回路133によって遅延され、更にダミー等長配線113によって遅延されて、位相比較器134に入力される。位相比較器134は、分周器131から直接に供給される分周信号と、遅延された分周信号との位相を比較して、両信号の位相が同一になるように遅延制御回路135を制御する。この遅延制御回路135は、可変遅延回路133の遅延量を設定する回路である。

【0074】また端子INに入力された信号は、可変遅延回路132によって遅延され、端子OUTから出力される。可変遅延回路132の遅延量は、遅延制御回路135によって、遅延制御回路133と同一の遅延量に設定される。ダミー等長配線113の遅延量をxとする。可変遅延回路133の位相遅延量は、 $360^\circ - x$ に調整される。従って端子OUTから出力される信号もまた、端子INに入力される信号と比較して、 $360^\circ - x$ だけ位相が遅れることになる。

【0075】図11は、位相比較器134の回路構成の一例を示す回路図である。位相比較器134に入力される信号S1及びS2は、図10に於て、分周器131から供給される分周信号と、ダミー等長配線113から供給される遅延された分周信号である。位相比較器134は、NAND回路141乃至145、インバータ146乃至149、NAND回路150及び151、インバータ152及び153、バイナリカウンタ154、インバータ155、NAND回路156及び157、及びインバータ158及び159を含む。NAND回路144及

び145はラッチを構成し、図11に示されるように初期状態では2つの入力がLOWであり、2つの出力はHIGHである。信号S1の立ち上がりエッジが、信号S2の立ち上がりエッジより早い場合、NAND回路143の出力の方がNAND回路142の出力よりも先にHIGHになる。従って、NAND回路145の出力がLOWになり、NAND回路144の出力はHIGHのままである。この状態はラッチされるので、その後信号S2の立ち上がりエッジによってNAND回路142の出力がHIGHになってしまっても状態は変化しない。従って、信号S1の方が位相が進んでいる場合には、インバータ149の出力はHIGHになる。逆に信号S2の方が位相が進んでいる場合には、インバータ155の出力がHIGHになる。

【0076】ここでインバータ148からの信号は、適切なタイミングでNAND回路142及び143の出力を同時にLOWにすることで、ラッチの状態を初期状態に戻す役目を果たす。このような構成にしないと、信号S1の方が位相が進んでいる場合に、NAND回路143の出力がHIGHになり続いてNAND回路142の出力がHIGHになった後、信号S1が信号S2より先にLOWに戻ることでラッチの状態が逆転され、NAND回路144の出力がLOWになってしまふ。これを避けるために、NAND回路142及び143の出力を同時にLOWにすることが行われる。

【0077】インバータ148の出力信号は、バイナリカウンタ154に供給される。バイナリカウンタ154の2つの出力は、入力分周信号S1及びS2の1サイクル毎に交互にHIGHになる信号である。バイナリカウンタ154は、NAND回路161乃至168と、インバータ169乃至171を含む。その動作は従来技術の範囲内であるので、説明を省略する。

【0078】バイナリカウンタ154の2つの出力は、NAND回路150及び151の一方の入力に供給される。NAND回路150及び151のもう一方の入力には、インバータ149からの出力が供給される。更にバイナリカウンタ154の2つの出力は、NAND回路156及び157の一方の入力に供給される。NAND回路156及び157のもう一方の入力には、インバータ155からの出力が供給される。

【0079】従って、信号S1の方が信号S2より位相が進んでいる場合には、NAND回路150及び151の出力を反転するインバータ152及び153から、HIGHパルスが交互に出力されることになる。逆に信号S2の方が位相が進んでいる場合には、NAND回路156及び157の出力を反転するインバータ158及び159から、HIGHパルスが交互に出力される。

【0080】インバータ152及び153或いはインバータ158及び159から交互に出力されるHIGHパルスが、図10の遅延制御回路135に供給されて、可

変遅延回路132及び133の遅延量を調整する。図12は、遅延制御回路135の回路構成の一例を示す回路図である。遅延制御回路135は、NOR回路201-0乃至201-n、インバータ202-1乃至202-n、NAND回路203-1乃至203-n、NMOSトランジスタ204-1乃至204-n、NMOSトランジスタ205-1乃至205-n、NMOSトランジスタ206-1乃至206-n、及びNMOSトランジスタ207-1乃至207-nを含む。リセット信号RがLOWにされると、遅延制御回路135はリセットされる。即ち、リセット信号RがLOWになると、NAND回路203-1乃至203-nの出力がHIGHになり、インバータ202-1乃至202-nの出力がLOWになる。NAND回路203-1乃至203-nとインバータ202-1乃至202-nとの各ペアは、互いの出力を互いの入力としてラッチを形成する。従って、上記リセット信号Rで設定された初期状態は、リセット信号RがHIGHに戻っても保持される。

【0081】この初期状態では、図12に示されるように、NOR回路201-0の出力P(0)はHIGHであり、NOR回路201-1乃至201-nの出力P(1)乃至P(n)はLOWである。即ち出力P(0)だけがHIGHである。遅延量を大きくする必要がある場合には、信号線A及びBに交互にHIGHパルスを供給する。まず信号線BにHIGHパルスが供給されると、NMOSトランジスタ204-1がオンになる。このときNMOSトランジスタ206-1がオンであるので、NAND回路203-1の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ202-1の出力はHIGHになり、この状態がNAND回路203-1とインバータ202-1からなるラッチに保持される。またこの時出力P(0)はHIGHからLOWに変化し、出力P(1)はLOWからHIGHに変化する。従ってこの状態では、出力P(1)のみがHIGHになる。

【0082】次に信号線AにHIGHパルスが供給されると、NMOSトランジスタ204-2がオンになる。このときNMOSトランジスタ206-2がオンになっているので、NAND回路203-2の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ202-2の出力はHIGHになり、この状態がNAND回路203-2とインバータ202-2からなるラッチに保持される。またこの時出力P(1)はHIGHからLOWに変化し、出力P(2)はLOWからHIGHに変化する。従ってこの状態では、出力P(2)だけがHIGHになる。

【0083】このように信号線A及びBに交互にHIGHパルスを供給することで、出力P(0)乃至P(n)のうちで一つだけHIGHである出力を一つずつ右にずらしていくことが出来る。遅延量を小さくする必要があ

る場合には、信号線C及びDに交互にHIGHパルスを供給する。この場合の動作は、上述の動作と逆であるので、詳細な説明は省略する。

【0084】信号線C及びDに交互にHIGHパルスを供給することで、出力P(0)乃至P(n)のうちで一つだけHIGHである出力を一つずつ左にずらしていくことが出来る。これらの出力信号P(1)乃至P(n)を、図10の可変遅延回路132及び133に供給することで、信号の遅延量を調整する。

10 【0085】図13は、可変遅延回路132の回路構成の一例を示す回路図である。なお可変遅延回路133の構成は、可変遅延回路132の構成と同一である。可変遅延回路132は、インバータ210、NAND回路211-1乃至211-n、NAND回路212-1乃至212-n、及びインバータ213-1乃至213-nを含む。ここでNAND回路212-1乃至212-n及びインバータ213-1乃至213-nが、遅延素子列を構成する。

【0086】NAND回路211-1乃至211-nの一方の入力には、入力信号SIの反転信号がインバータ210から供給され、もう一方の入力には信号P(1)乃至P(n)が供給される。信号P(1)乃至P(n)のうちで、一つだけHIGHである信号をP(x)とする。NAND回路211-1乃至211-nの中でNAND回路211-x以外のものは、一方の入力がLOWであるから、出力はHIGHレベルになる。このHIGHレベルを一方の入力に受け取るNAND回路212-1乃至212-nのうちでNAND回路212-x以外のものは、他方の入力に対するインバータとして機能する。

【0087】従って、NAND回路212-xより図面左側にある遅延素子列は、NAND回路212-nの一方の入力に与えられる固定のHIGHレベルを伝達する。従って、NAND回路212-xの一方の入力はHIGHである。NAND回路212-xのもう一方の入力には、インバータ210及びNAND回路211-xを介して、入力信号SIが供給される。従って、NAND回路212-xからインバータ213-1までの遅延素子列は、入力信号SIを遅延させながら伝播させ、遅延された信号が出力信号SOとして得られる。この場合の出力信号SOは、入力信号SIに対して、遅延素子x段分の遅延時間だけ遅れることになる。

【0088】このように、図11に示される位相比較器134が分周信号の位相を比較し、この比較結果に基づいて、図12に示される遅延制御回路135が出力信号P(1)乃至P(n)のうちで唯一HIGHである信号の位置を制御し、この信号P(1)乃至P(n)によって、図13に示される可変遅延回路132(133)の遅延量を設定する。これによって、図10のDL回路111に於て、所望の遅延量を有した信号を生成して出

力することが出来る。

【0089】図14は、図8の位相シフト回路112の構成を示す構成図である。図14に示されるように、位相シフト回路112は、可変遅延回路250及び251、位相比較器252、及び遅延制御回路253を含む。入力端子INに入力された信号は、可変遅延回路250によって遅延量T1だけ遅延される。可変遅延回路250から出力される遅延量Tの信号は、更に可変遻延回路251によって、可変遻延回路250の遅延量と同一の遅延量Tだけ遅延される。可変遻延回路251から出力される遅延量2Tの信号は、位相比較器252によって、入力端子INに入力された信号と位相が比較される。位相比較器252は、両信号の位相が同一になるように、遅延制御回路253を介して可変遻延回路250及び251の遅延量Tを制御する。

【0090】従って、遅延量2Tが位相にして360度に等しくなるように、可変遻延回路250及び251の遅延量が調整されることになる。これによって、位相シフト回路112の出力端子OUTには、入力信号を位相にして180度遅延させた信号が得られることになる。なお可変遻延回路250及び251、位相比較器252、及び遅延制御回路253の構成は、夫々、DLL回路111の可変遻延回路132及び133、位相比較器134、及び遅延制御回路135の構成と同様である。

【0091】なお信号周波数が固定の場合には、位相シフト回路112は、固定の遅延量だけ信号を遅延させる固定遻延回路であってもよい。図15は、ロジックチップ11及びメモリチップ12のメモリ・ロジック間I/O部20の別の構成例を示すブロック図である。図15に於て、図8と同一の構成要素は同一の番号で参照され、その説明は省略される。

【0092】図15の構成は、図8の構成に比較して、ロジックチップ11からメモリチップ12に供給したクロック信号I-CLKを、ワイヤボンディング25aを介してメモリチップ12からロジックチップ11に戻す構成が付加されている。戻されたクロック信号I-CLKは、メモリチップ12から読み出されたデータをロジックチップ11に取り込む際に用いるクロック信号T-CLKを生成するために用いられる。

【0093】図8の構成は、ロジックチップ11とメモリチップ12との間のワイヤボンディング25に於て、信号伝播の遅延がない或いは無視できる程度に小さいことを条件とする構成であり、図15の構成に於ては、ワイヤボンディング25に無視できない遅延がある場合であっても、信頼性のあるデータ転送を行うために、クロック信号I-CLKに戻すことが行われる。

【0094】ここでワイヤボンディング25或いは25aによる信号遅延をT1とする。ロジックチップ11からメモリチップ12に供給されるクロック信号I-CLKは、ワイヤボンディング25による遅延量T1を有す

る。メモリチップ12に対するデータ書き込みの場合、ロジックチップ11からメモリチップ12へ伝播するデータ信号も、ワイヤボンディング25で遅延量T1だけ遅れることになる。従って、遅延量T1を有するクロック信号I-CLKから求めた書き込み用クロック信号T-CLKを用いて、遅延量T1を有するデータをメモリチップ12に取り込むことに問題はない。

【0095】しかしながら、遅延量T1のクロック信号I-CLKに同期してメモリチップ12から読み出されるデータは、ロジックチップ11に到達するまでに更に遅延量T1だけ遅れることになる。従って、遅延無しのクロック信号I-CLKと比較すると、ロジックチップ11に到達するデータは、遅延量2T1だけ遅れている。従って図8の構成のように、遅延量無しのクロック信号I-CLKから求めた書き込み用クロック信号T-CLKを用いて、遅延量2T1のデータをロジックチップ11に取り込んだのでは、データ取り込みに関して同期が取れないことになる。

【0096】図15の構成に於ては、ロジックチップ11からメモリチップ12に送信したクロック信号I-CLKを、更にワイヤボンディング25aを介してロジックチップ11に戻すこと、遅延量2T1のクロック信号I-CLKを得ることが出来る。ロジックチップ11に於ては、この遅延量2T1のクロック信号I-CLKから求めた書き込み用クロック信号T-CLKを同期信号として用いて、メモリチップ12から送られる遅延量2T1のデータを取り込む。このような構成によって、ロジックチップ11とメモリチップ12間の信号遅延が無視できない場合であっても、信頼性のある高速なデータ転送を行うことが出来る。

【0097】図16は、ロジックチップ11及びメモリチップ12のメモリ・ロジック間I/O部20の更に別の構成例を示すブロック図である。図16に於て、図8と同一の構成要素は同一の番号で参照され、その説明は省略される。図16の構成においては、図8の構成で用いられるデータ書き込み用クロック信号T-CLKに対して、分周器で1/2の周波数に分周したデータ書き込み用クロック信号T-CLK(A)及びT-CLK(B)を生成し、このデータ書き込み用クロック信号T-CLK(A)及びT-CLK(B)を用いて、外部からのデータ取り込みを行う。

【0098】このようにして取り込まれたデータは、基のクロック信号I-CLKに比較して1/2の周波数で切り替わるので、ロジックチップ11及びメモリチップ12の内部回路の動作周波数を1/2にすることが出来る。即ち、ロジックチップ11及びメモリチップ12を従来可能な速度で動作させながらも、この動作周波数よりも高い周波数の高速なクロックを用いて、ロジックチップ11及びメモリチップ12間で高速なデータ転送を実現することが出来る。即ち、図1のように同一パッケ

ージ10にロジックチップ11及びメモリチップ12を搭載して、対向するI/O端子22同士をワイヤボンディング25で接続した構成において、高速データ転送可能な特徴を十分に生かすことが出来る。

【0099】メモリチップ12に於ては、T-CLK発生回路100aの分周器301が、信号N5（クロック信号T-CLK）を1/2に分周する。分周されたクロック信号T-CLK（A）は、等長配線102aを介して、ラッチ-A305に供給される。また分周されたクロック信号T-CLK（B）は、等長配線102aを介して、ラッチ-B306に供給される。ラッチ-A305及びラッチ-B306は、ロジックチップ11からのデータ取り込み用のラッチであり、データ送出用には、データ出力バッファ304が用いられる。

【0100】図17は、図16のメモリチップ12の動作を説明するためのタイミング図である。図17に示されるように、1/2に分周されたクロック信号N21及びN22を生成し、クロック信号N21及びN22が等長配線102aで遅延されたクロック信号N23及びN24を用いて、データ信号N12を取り込む。このようにしてラッチ-A305及びラッチ-B306に取り込まれたデータは、クロック信号I-CLK（信号N1）の1/2の周波数で、データ切り替えが行われることになる。

【0101】なお図16及び図17の例に於ては、分周器301は2分周としたが、2分周ではなくN分周され互いに位相が360度/NだけずれたN個のクロック信号を生成する構成としてもよい。この場合、データ取り込み用のラッチは、各I/O端子22に対してN個設けられる。図16に戻り、ロジックチップ11に於ては、分周器302が、信号N5'（クロック信号T-CLK）を1/2に分周する。データ取り込み及びデータ送出に関する動作は、メモリチップ12の動作と同様であるので説明を省略する。

【0102】図16のロジックチップ11は、更にPLL回路303を含む。このPLL回路303によって、接続端子24を介して外部から供給されるクロック信号CLKの周波数を倍増して、高周波数のクロック信号I-CLKを生成する。外部から供給するクロック信号CLKは、図1の半導体システム1までバスを介して供給されるので、それ程高い信号周波数を用いることは出来ない。そこで図16のような構成とすれば、半導体システム1内部で高い周波数のクロック信号I-CLKを生成して、ロジックチップ11及びメモリチップ12間で高速なデータ転送を行うことが出来る。なおPLL回路303の回路構成は、従来技術の範囲内であるので説明を省略する。

【0103】なお上述の図8、図15、及び図16の構成に於ては、外部からクロック信号CLKを受け取るチップはロジックチップ11であるとしたが、逆にメモリ

チップ12がクロック信号CLKを外部から受け取る構成であってもよい。図18は、メモリチップ12に於て、ロジックチップ11に対向する辺に配置されるI/O端子22の一例を示す図である。

【0104】メモリチップ12が、2のM乗ビット×Nワード×2のL乗バンク構成のメモリチップである場合、I/O端子22は、一つのクロック受信用端子（或いはクロック送信用端子）CLK、M個のアドレス信号用端子及びL個のバンク選択信号用端子A00乃至A19、N個のデータ入出力端子DQ00乃至DQ31、3個のコマンド選択用端子WE、CAS、及びRAS、1個のパワーダウン信号用端子PD、バイト単位に用意したDM信号用端子DM0乃至DM7、電源用端子VSS、VCC、VSSQ、及びVCCQを含む。また更に、メモリチップ12は、供給されたクロック信号をロジックチップ11に戻す（或いは供給したクロック信号をロジックチップ11から受け取る）クロックリターン端子RCLKを含んでもよい。ここでDM信号用端子DM0乃至DM7が受け取る信号は、バイト毎にマスクをしてデータを書き込まないようにするための信号である。

【0105】また電源用端子VSS、VCC、VSSQ、及びVCCQの幾つかは、DLL回路111、114、121、及び124、及び/又はPLL回路303用の専用電源端子であってよい。DLL回路やPLL回路は、その動作がデリケートであり外乱に弱いので、DLL回路及び/又はPLL回路に専用電源を設けることで、信頼性のあるクロック制御を行うことが可能になる。

【0106】図19は、本発明による図1の半導体システムのESD保護回路を説明するための図である。図19に於て、図1と同一の構成要素は同一の番号で参照され、その説明は省略する。通常、半導体チップの端子には、ESD（electrical-static discharge）によるデバイス破壊を防ぐために、ESD保護回路が設けられる。ESDとしては、ワイヤーボンディング時等に帯電した金属がデバイスに接触して起る放電、帯電した人体がデバイスに触れた時に起る放電、及びデバイスのパッケージが帯電し他の物体に接触して起る放電などが挙げられる。

【0107】図1或いは図19のように、パッケージ10にロジックチップ11及びメモリチップ12が搭載される場合、ロジックチップ11及びメモリチップ12間を接続するためのI/O端子22（パッド）は、パッケージ10によって覆われており、帯電した人体が触れるようなことはない。従って、外部端子13に対して設けられるESD保護回路401と比較して、ロジックチップ・メモリチップ間I/Oに対して設けられるESD保護回路402は、比較的小さなものであればよい。即ち、ESD保護回路402は、比較的小量の電流を流せ

すに足るものであればよい。

【0108】このようにESD保護回路402を小さく出来れば、チップ面積を小さく出来るという利点がある。また寄生容量を小さく出来るので、信号の切り替わりの速度を速くすることが可能である。図20は、MOSFETをESD保護回路として用いた場合の実施例を示す図である。

【0109】ESD保護回路401或いは402は、NMOSトランジスタ410を含む。信号レベル以上の電圧がバッド（接続端子24或いはI/O端子22）に印加されると、NMOSトランジスタ410が導通して、デバイス破壊を防ぐ。ESD保護回路401の場合、即ち外部端子13に接続される接続端子24に用いられる回路の場合、NMOSトランジスタ410のゲート幅は $1000\mu m$ 程度でよい。またESD保護回路402の場合、即ちI/O端子22に用いられる回路の場合、NMOSトランジスタ410のゲート幅は $500\mu m$ 程度でよい。

【0110】図21は、フィールドMOSFETをESD保護回路として用いた場合の実施例を示す図である。ESD保護回路401或いは402は、しきい値電圧の高いフィールドMOSFET411を含む。信号レベル以上の電圧がバッド（接続端子24或いはI/O端子22）に印加されると、フィールドMOSFET411が導通して、デバイス破壊を防ぐ。ESD保護回路401の場合、即ち外部端子13に接続される接続端子24に用いられる回路の場合、フィールドMOSFET411のゲート幅は $1000\mu m$ 程度でよい。またESD保護回路402の場合、即ちI/O端子22に用いられる回路の場合、フィールドMOSFET411のゲート幅は $500\mu m$ 程度でよい。

【0111】図22は、バイポーラ型トランジスタをESD保護回路として用いた場合の実施例を示す図である。ESD保護回路401或いは402は、バイポーラ型トランジスタ412を含む。信号レベル以上の電圧がバッド（接続端子24或いはI/O端子22）に印加されると、バイポーラ型トランジスタ412が導通して、デバイス破壊を防ぐ。ESD保護回路401の場合、即ち外部端子13に接続される接続端子24に用いられる回路の場合、バイポーラ型トランジスタ412のエミッタ面積は $300\mu m^2$ 程度でよい。またESD保護回路402の場合、即ちI/O端子22に用いられる回路の場合、バイポーラ型トランジスタ412のエミッタ面積は $100\mu m^2$ 程度でよい。

【0112】図23は、ダイオードをESD保護回路として用いた場合の実施例を示す図である。ESD保護回路401或いは402は、ダイオード413を含む。信号レベル以上の電圧がバッド（接続端子24或いはI/O端子22）に印加されると、ダイオード413が導通して、デバイス破壊を防ぐ。ESD保護回路401の場

合、即ち外部端子13に接続される接続端子24に用いられる回路の場合、ダイオード413のジャンクション面積は $300\mu m^2$ 程度でよい。またESD保護回路402の場合、即ちI/O端子22に用いられる回路の場合、ダイオード413のジャンクション面積は $100\mu m^2$ 程度でよい。

【0113】以上、本発明を実施例に基づいて説明したが、本発明は上述の実施例に限定されることなく、特許請求の範囲に記載の範囲内で変形・変更が可能である。

【0114】

【発明の効果】請求項1乃至13記載の半導体システムに於ては、パッケージ内にロジックチップとメモリチップとを搭載して互いに接続する構成に於て、チップ間の入出力端子を全て対向する辺に設けるので接続が容易である。またチップ間の入出力端子同士を最短距離で同一長の配線を用いて接続することで信号間スキューがなくなると共に、ワイヤボンディングを用いることで配線容量が少なくなるので、チップ間での高速なデータ転送を実現することが出来る。また隣接するチップの入出力回路に共通な電源を用いることで、入力側と出力側で信号レベルの揃った高速なデータ転送が可能になると共に、この共通な電源を入出力回路用の専用電源とすれば、他の回路部分の動作による電源電圧レベルの変動の影響を避けることが出来る。更に、メモリチップ側にパッケージ外部とのデータ入出力を直接行う端子群を設けることで、パッケージ外部にある外部記憶装置とのデータ入出を行ふことが出来る。

【0115】請求項14乃至24記載の半導体装置に於ては、データ転送に必要な入出力端子及び相手側からクロック信号を受信するクロック受信用端子がチップの一辺に配置されるので、相手側のチップをこの辺に対向するように隣接して配置した場合に、データ転送のための接続を容易に行ふことが出来ると共に、相手側のチップと同一のクロック信号を用いることが可能になる。更に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。

また制御用クロック発生回路は、等長配線等による信号遅延を考慮にいれたフィードバックループによる位相制御を行うことで、データ取り込み用に適した位相のクロック信号と、データ出力用に適した位相のクロック信号とを生成することが出来る。更にデータ取り込み用クロック信号の周波数を $1/N$ に分周してNセットのデータ取り込み動作を行うことで、半導体装置内部での動作周波数に対してデータ転送周波数をN倍にすることが出来る。また相手側のチップから受信したクロック信号をそのまま相手側に送信することで、相手側のチップはチップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来るようになる。

【0116】請求項25乃至36記載の半導体装置に於

ては、データ転送に必要な入出力端子及びクロック信号を相手側に供給するクロック送信用端子がチップの一辺に配置されるので、相手側のチップをこの辺に対向するように隣接して配置した場合に、データ転送のための接続を容易に行うことが出来ると共に、相手側のチップが同一のクロック信号を用いることを可能にする。更に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。また制御用クロック発生回路は、等長配線等による信号遅延を考慮にいれたフィードバックループによる位相制御を行うことで、データ取り込み用に適した位相のクロック信号と、データ出力用に適した位相のクロック信号とを生成することが出来る。更にデータ取り込み用クロック信号の周波数を $1/N$ に分周してNセットのデータ取り込み動作を行うことで、半導体装置内部での動作周波数に対してデータ転送周波数をN倍にすることが出来る。また相手側のチップに送信してそのまま戻ってきたクロック信号を受け取り、このクロック信号に基づいてデータ取り込み動作の同期を取ることによって、チップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来る。

【0117】請求項37乃至38記載の半導体システムに於ては、パッケージ内にロジックチップとメモリチップとを搭載して互いに接続する構成に於て、チップ間の入出力端子を全て対向する辺に設けるので接続が容易であると共に、制御用クロック発生回路から入出力回路までを等長配線で接続するので、入出力回路によってデータ出力及びデータ取り込みに関する同期を確実に取ることが出来る。また一方のチップは、他方のチップに送信してそのまま戻ってきたクロック信号を受け取り、このクロック信号に基づいてデータ取り込み動作の同期を取ることによって、チップ間の信号伝播遅延を考慮にいれた同期制御を行うことが出来る。

【0118】請求項39乃至41記載の半導体メモリチップに於ては、データ転送に必要な端子及び電源端子がメモリチップの一辺に配置されるので、ロジックチップ等をこの辺に対向するように隣接して配置した場合に、データ転送のための接続を容易に行うことが出来る。また受信したクロック信号をそのまま送出するクロックリターン端子を設けることで、隣接して配置されるロジックチップ等の側で、このクロックリターン端子から返されたクロック信号を用いて、チップ間の信号伝播遅延を考慮にいれた同期制御を行なうことが出来る。更には、メモリチップ内のPLL回路及び/又はDLL回路で用いられる専用電源端子を設けることで、PLL回路及び/又はDLL回路の安定した動作を保証することが出来る。

【0119】請求項42乃至45記載の半導体システムに於ては、パッケージに複数の半導体チップが搭載され

る場合、半導体チップ間を接続するためのパッドは、パッケージによって覆われており、帶電した人体が触れるようなことはない。従って、外部端子に接続されるパッドに設けられるESD保護回路と比較して、半導体チップ間接続のパッドに設けられるESD保護回路は、比較的小量の電流を流せずに足るものであればよい。ESD保護回路を小さく出来れば、チップ面積を小さく出来るという利点があると共に、寄生容量を小さく出来るので、信号の切り替わりの速度を速くして高速なデータ転送を可能にすることが出来る。

【図面の簡単な説明】

【図1】本発明により同一のパッケージにロジックチップとメモリチップとを搭載した実施例を示す図である。

【図2】高速I/O回路の出力回路及び入力回路の回路構成を示す回路図である。

【図3】本発明により同一のパッケージにロジックチップとメモリチップとを搭載した別の実施例を示す図である。

【図4】本発明により同一のパッケージにロジックチップとメモリチップとを搭載した更に別の実施例を示す図である。

【図5】本発明により同一のパッケージにロジックチップとメモリチップとを搭載した更に別の実施例を示す図である。

【図6】図1のメモリチップの構成例を示すブロック図である。

【図7】外部記憶装置用I/O部を備える場合の図1のメモリチップの構成例を示すブロック図である。

【図8】図1の高速I/O回路を含むメモリ・ロジック間I/O部の構成を示すブロック図である。

【図9】図8のメモリチップ側の高速I/O回路の動作を説明するためのタイミング図である。

【図10】DLL回路の構成を示す構成図である。

【図11】位相比較器の回路構成の一例を示す回路図である。

【図12】遅延制御回路の回路構成の一例を示す回路図である。

【図13】可変遅延回路の回路構成の一例を示す回路図である。

【図14】図8の位相シフト回路の構成を示す構成図である。

【図15】ロジックチップ及びメモリチップのメモリ・ロジック間I/O部の別の構成例を示すブロック図である。

【図16】ロジックチップ及びメモリチップのメモリ・ロジック間I/O部の更に別の構成例を示すブロック図である。

【図17】図16のメモリチップの動作を説明するためのタイミング図である。

【図18】メモリチップに於て、ロジックチップに対向

する辺に配置される I/O 端子の一例を示す図である。

【図 19】本発明による図 1 の半導体システムの ESD 保護回路を説明するための図である。

【図 20】MOSFET を ESD 保護回路として用いた場合の実施例を示す図である。

【図 21】フィールドMOSFET を ESD 保護回路として用いた場合の実施例を示す図である。

【図 22】バイポーラ型トランジスタを ESD 保護回路として用いた場合の実施例を示す図である。

【図 23】ダイオードを ESD 保護回路として用いた場合の実施例を示す図である。

【図 24】(A) は、共通バスを介したロジックデバイスとメモリデバイスとの接続の従来例を示す図であり、

(B) は、ロジックデバイスとメモリデバイスとをワンチップ化したワンチップLSI の例を示す図である。

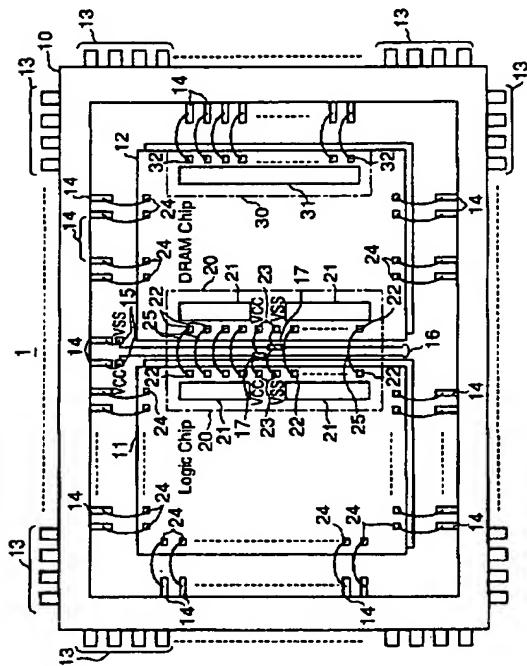
【符号の説明】

- 1 半導体システム 1
- 10 パッケージ
- 11 ロジックチップ
- 12 メモリチップ
- 13 外部端子
- 14 接続端子
- 15 I/O回路電源用端子
- 16 I/O回路電源線
- 17 端子
- 20 メモリ・ロジック間 I/O 部
- 21 高速 I/O 回路
- 22 I/O 端子
- 23 I/O 電源端子
- 24 接続端子
- 25 ワイヤボンディング
- 30 外部記憶装置用 I/O 部
- 31 外部記憶装置用 I/O 回路
- 32 外部記憶装置用端子
- 33 降圧回路
- 41 クロックバッファ
- 42 コマンドデコーダ
- 43 バンク選択バッファ
- 44 アドレスバッファ

- 45 データバッファ
- 46 メモリセルアレイ
- 47 ローデコーダ
- 48 センスアンプ・ライトアンプ
- 49 コラムデコーダ
- 50, 50A バンク
- 51シリアルアドレスカウンタ
- 52シリアルデコーダ
- 53シリアルアクセスメモリ
- 54 輸送ゲート
- 55 輸送制御回路
- 56 外部記憶装置用データバッファ
- 100 T-CLK 発生回路
- 101 R-CLK 発生回路
- 102 等長配線
- 103 データバッファ
- 111 DLL回路
- 112 位相シフト回路
- 113 ダミー等長配線
- 20 114 DLL回路
- 115 ダミー等長配線
- 116 ダミーデータバッファ
- 117 ダミーノード
- 128 データバッファ
- 120 クロックバッファ
- 121 DLL回路
- 122 位相シフト回路
- 123 ダミー等長配線
- 124 DLL回路
- 30 125 ダミー等長配線
- 126 ダミーデータバッファ
- 127 ダミーノード
- 128 データバッファ
- 401 ESD 保護回路
- 402 ESD 保護回路
- 501 ロジックデバイス
- 502 メモリデバイス
- 503 バス

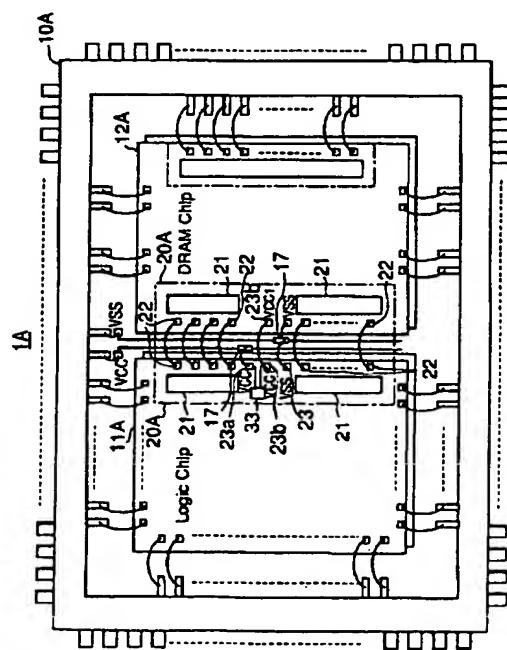
【図1】

本発明により同一のパッケージにロジックチップとメモリチップとを搭載した実施例示す図



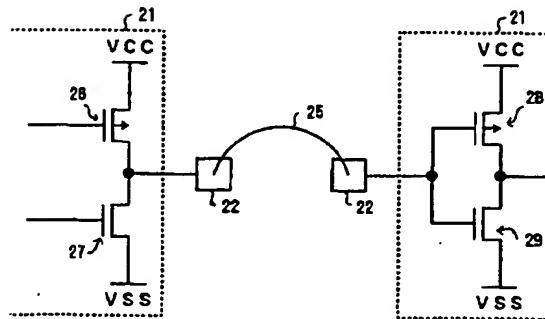
【図3】

本発明により同一のパッケージにロジックチップとメモリチップとを搭載した別の実施例を示す図



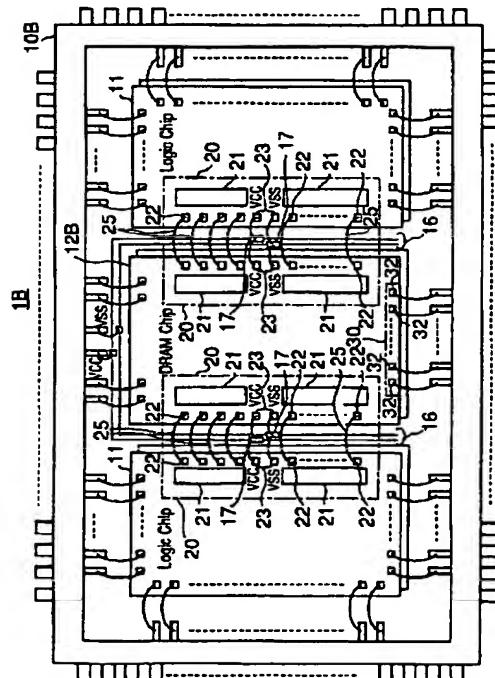
【図2】

高速I/O回路の出力回路及び
入力回路の回路構成を示す回路図



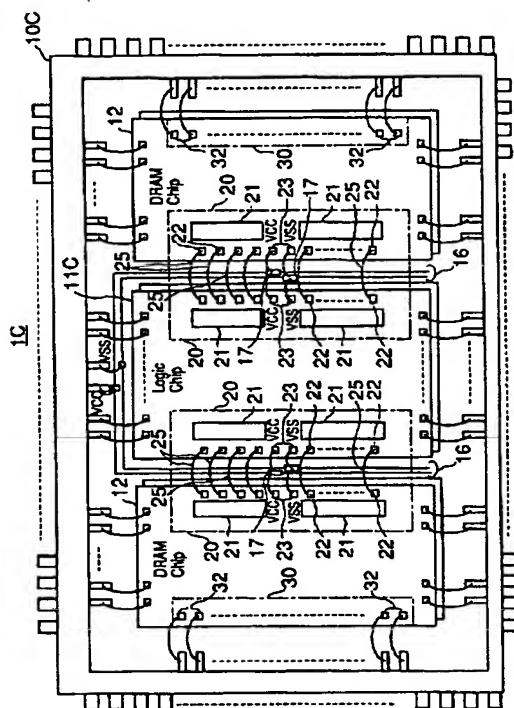
【図4】

本発明により同一パッケージにロジックチップとメモリチップとを搭載した更に別の実施例を示す図



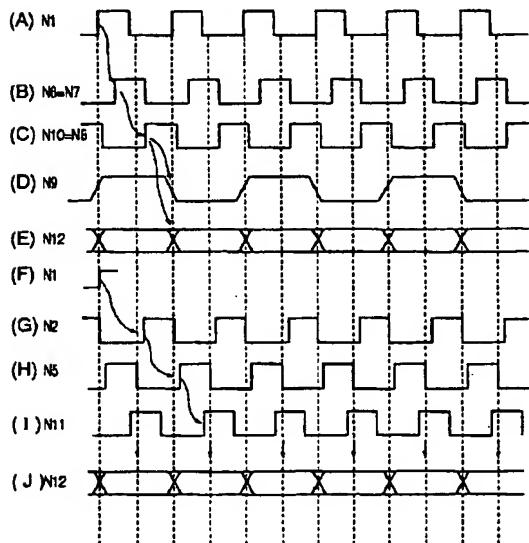
(图5)

本発明により同一パッケージにロジックチップとメモリチップとを搭載した更に別の実施例示す図



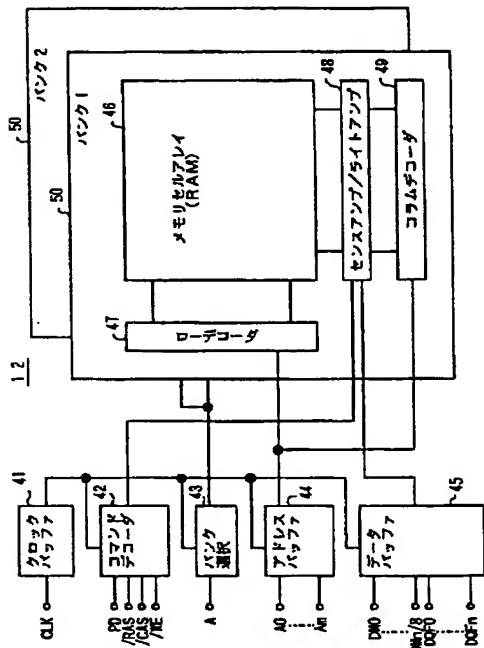
[図9]

図8のメモリチップ側の高速I/O回路の動作を説明するためのタイミング図



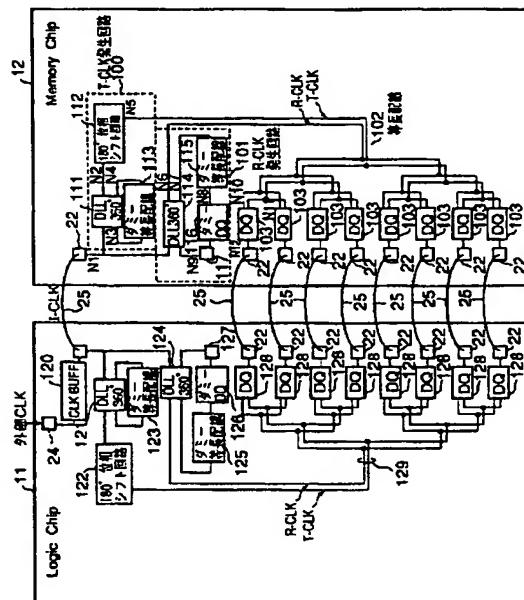
〔図6〕

図1のメモリチップの構成例を示すブロック図



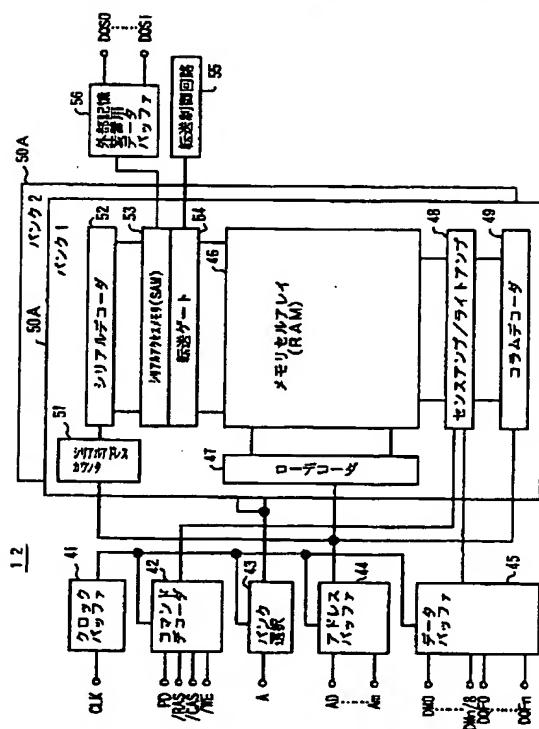
〔図8〕

第1の高速I/O回路を含むメモリ・ロジック同I/O部の構成を示すブロック図



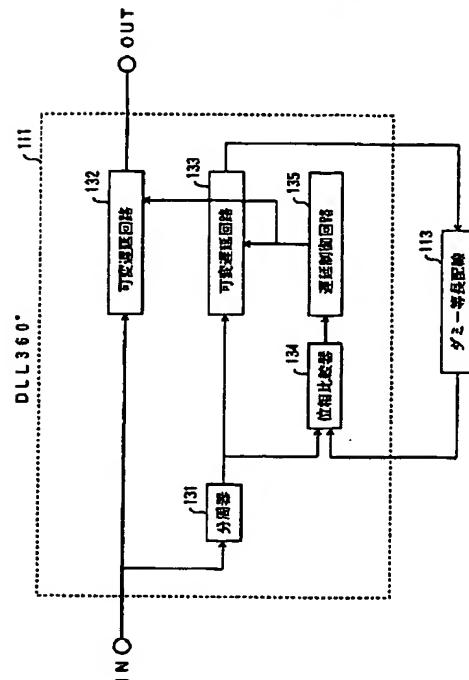
【図7】

外部記憶装置用I/O部を備える場合の
図1のメモリチップの構成例を示すブロック図



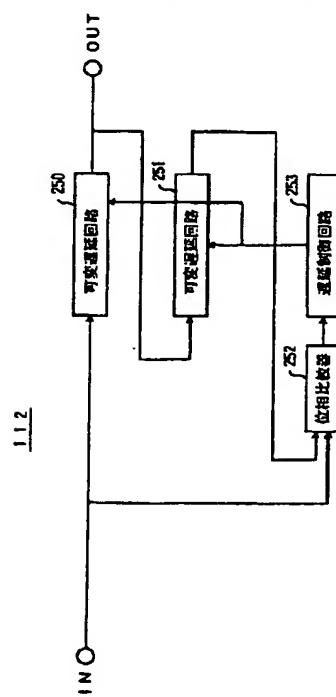
【図10】

DLL回路の構成を示す構成図



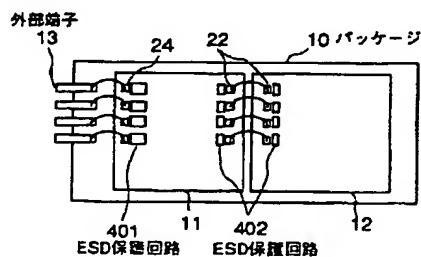
【図14】

図8の位相シフト回路の構成を示す構成図



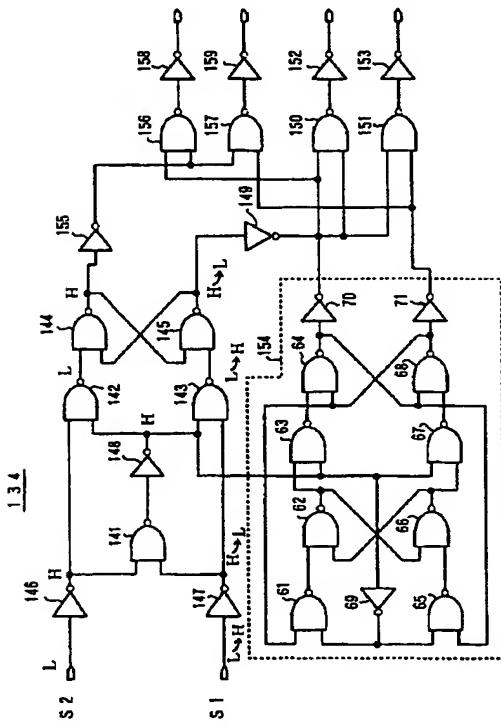
【図19】

本発明による図1の半導体システムのESD保護回路を
説明するための図



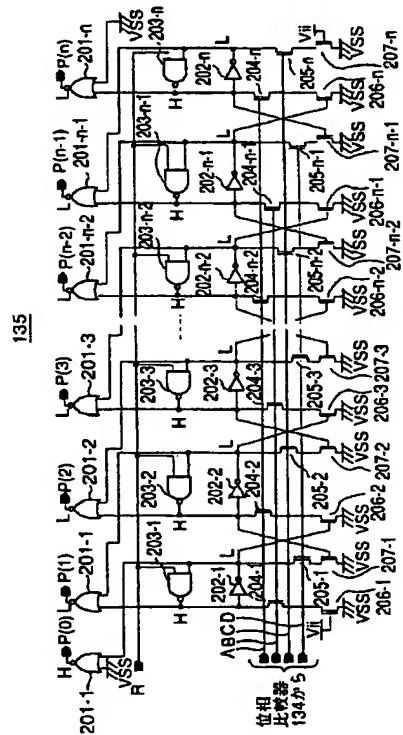
【図11】

位相比較器の回路構成の一例を示す回路図



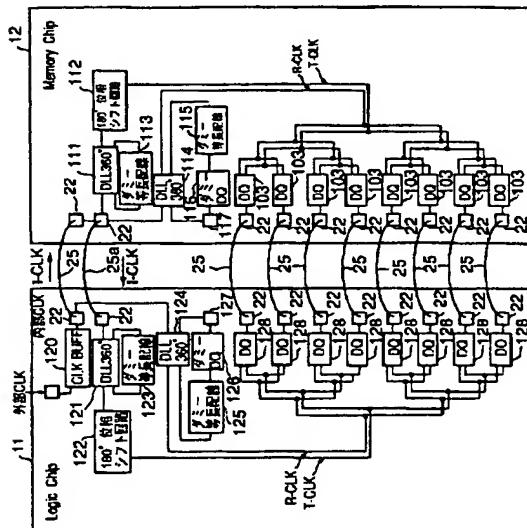
【図12】

選択制御回路の回路構成の一例を示す回路図



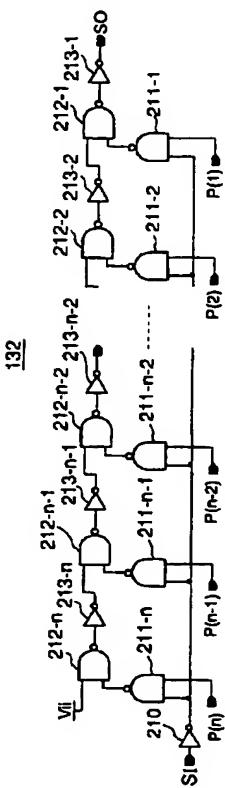
【図15】

ロジックチップ及びメモリチップのメモリ・ロジック間I/O部の別々の構成例を示すブロック図



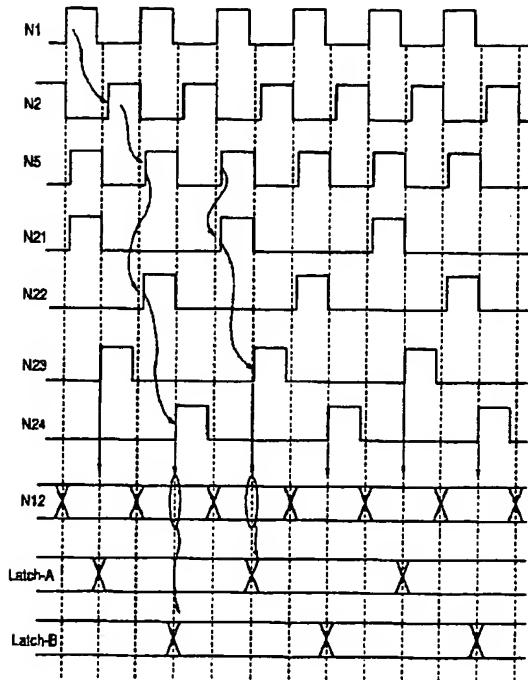
【図13】

可変遅延回路の回路構成の一例を示す回路図



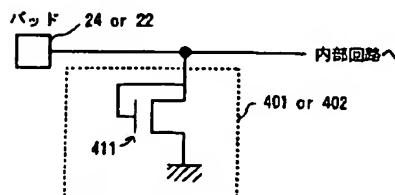
【図17】

図16のメモリチップの動作を説明するためのタイミング図



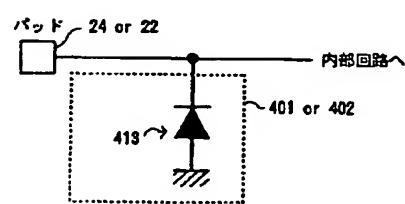
【図21】

フィールドMOSFETをESD保護回路として用いた場合の実施例を示す図



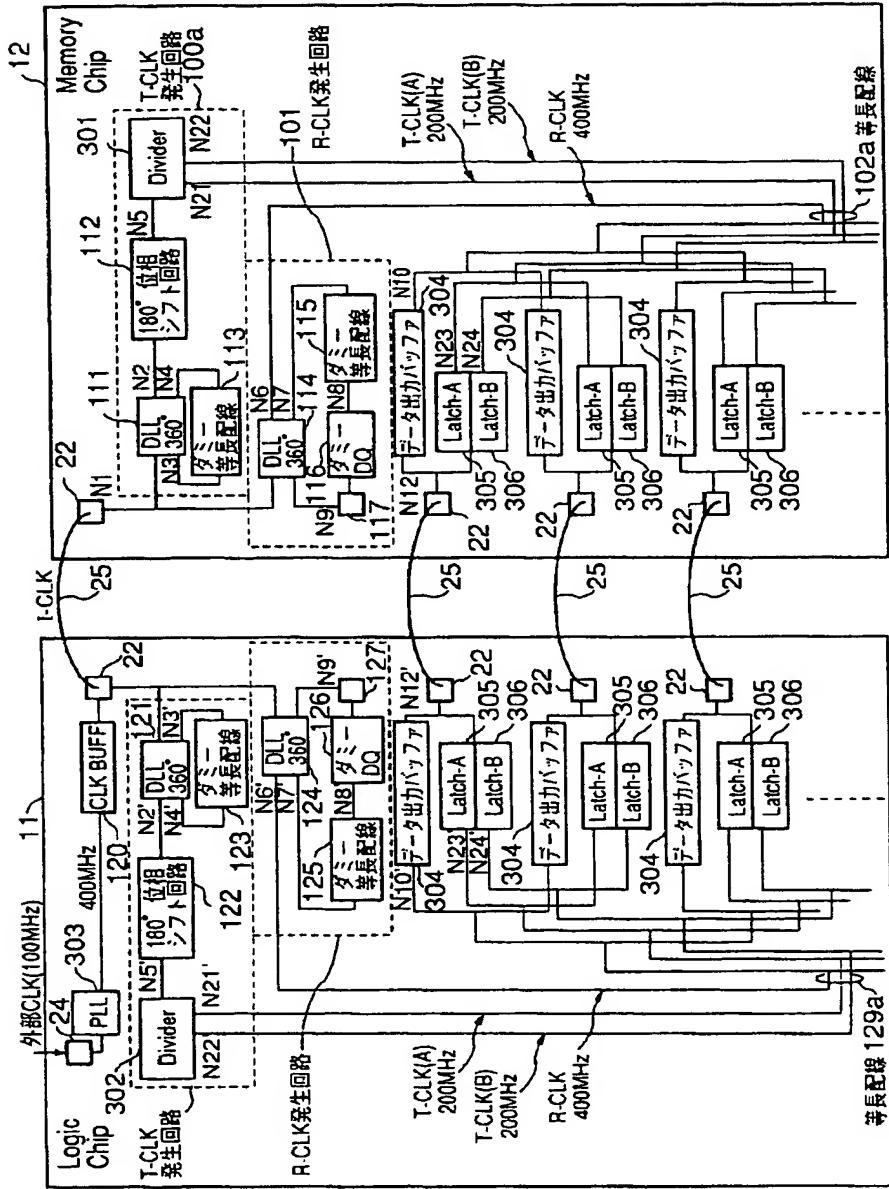
【図23】

ダイオードをESD保護回路として用いた場合の実施例を示す図



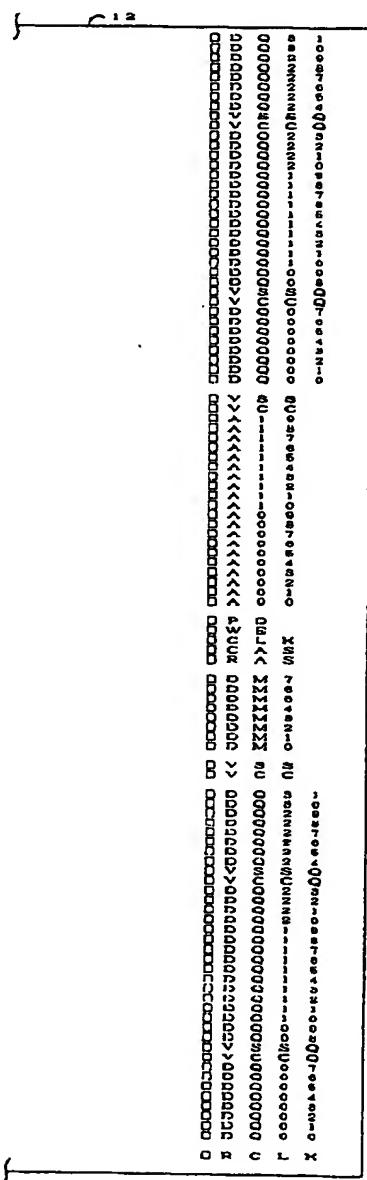
[図16]

ロジックチップ及びメモリチップのメモリ・ロジック間I/O部の
更に別に構成例を示すブロック図



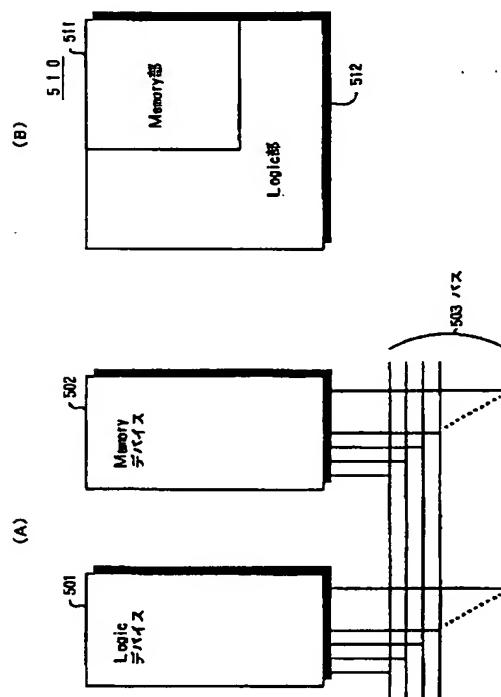
【図18】

メモリチップに於て、ロジックチップに対向する
辺に配置されるI/O端子の一例を示す図



【図24】

(A) は共通バスを介したロジックデバイスと
メモリデバイスとの接続の従来例を示す図、
(B) はロジックデバイスとメモリデバイス
とをワンチップ化したワンチップLSIの例を示す図



フロントページの続き

(51) Int.C1.^b

識別記号

F1
G11C 11/34

354C

(72)発明者 中野 正夫
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 鈴木 孝章
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 富田 浩由
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 内田 敏也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 佐藤 靖治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 畠山 淳
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 松宮 正人
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 松崎 康郎
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内